

Family list**6** family members for:**JP11112001**

Derived from 5 applications.

- 1 SEMICONDUCTOR DEVICE AND MANUFACTURE OF THE SAME**
Publication info: **JP11097708 A** - 1999-04-09
- 2 SEMICONDUCTOR DEVICE AND MANUFACTURE THEREFOR**
Publication info: **JP11112001 A** - 1999-04-23
- 3 Semiconductor device having laminated source and drain regions and method for producing the same**
Publication info: **US6013930 A** - 2000-01-11
- 4 Thin film transistor having laminated source and drain regions**
Publication info: **US6204535 B1** - 2001-03-20
- 5 Semiconductor device and method for producing it**
Publication info: **US6429059 B2** - 2002-08-06
US2001049163 A1 - 2001-12-06

Data supplied from the *esp@cenet* database - Worldwide

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREFOR

Patent number: JP11112001
Publication date: 1999-04-23
Inventor: YAMAZAKI SHUNPEI; KOYAMA JUN; FUKUNAGA KENJI
Applicant: SEMICONDUCTOR ENERGY LAB
Classification:
- **international:** *H01L21/336; H01L29/786; H01L21/02; H01L29/66;*
(IPC1-7): H01L29/786; H01L21/336
- **european:**
Application number: JP19970282565 19970930
Priority number(s): JP19970282565 19970930

Report a data error here

Abstract of JP11112001

PROBLEM TO BE SOLVED: To provide a semiconductor device of high productivity and high reliability and reproducibility by a simple manufacture process. **SOLUTION:** In the constitution of a semiconductor device of a bottom gate type formed by a semiconductor layer provided with a crystal structure, a source/drain area is constituted of a laminated structure composed of a first conducting layer (n<+> layer), the second conducting layer (n<-> layer) of resistance higher than that and an intrinsic or practically intrinsic semiconductor layer (i) layer}. At the time, the n<-> layer functions as an LDD (lightly doped drain region) area and the (i) layer functions as an offset area in a film thickness direction.

Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-112001

(43) 公開日 平成11年(1999) 4月23日

(51) Int. Cl. ⁶

識別記号

F I

H01L 29/786

H01L 29/78

616

U

21/336

616

V

617

A

617

K

618

F

審査請求 未請求 請求項の数25 F D (全28頁) 最終頁に続く

(21) 出願番号 特願平9-282565

(22) 出願日 平成9年(1997) 9月30日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 福永 健司

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 簡易な製造工程によって、量産性が高く、且つ、信頼性及び再現性の高い半導体装置を提供する。

【解決手段】 結晶構造を有する半導体層で形成されたボトムゲイト型の半導体装置の構成において、ソース／ドレイン領域を、第1の導電層 (n^+ 層)、それより高抵抗な第2の導電層 (n^- 層) 及び真性または実質的に真性な半導体層 (i 層) からなる積層構造で構成する。この時、 n^- 層はLDD領域として機能し、 i 層は膜厚方向のオフセット領域として機能する。

【特許請求の範囲】

【請求項1】 結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域を構成に含む半導体装置であって、

前記ソース領域及びドレイン領域は、ゲイト絶縁膜に向かって少なくとも第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有することを特徴とする半導体装置。

【請求項2】 請求項1において、前記結晶構造を有する半導体層は、溶融結晶化膜に特有の粒界分布を有することを特徴とする半導体装置。

【請求項3】 請求項1又は2において、前記第1の導電層から前記第2の導電層にかけて当該第1及び第2の導電層を構成する不純物の濃度プロファイルが連続的に変化していることを特徴とする半導体装置。

【請求項4】 請求項1乃至請求項3において、前記第2の導電層は $5 \times 10^{17} \sim 1 \times 10^{19}$ atoms/cm³ の範囲内で連続的に変化する不純物によって形成されていることを特徴とする半導体装置。

【請求項5】 請求項1乃至請求項4において、前記チャネル形成領域のソース側端部にオーバーラップ領域が接しており、前記チャネル形成領域のドレイン側端部にマスクオフセット領域が接していることを特徴とする半導体装置。

【請求項6】 請求項1乃至請求項4において、前記チャネル形成領域と前記第2の導電層との間には、膜厚の異なる二つのオフセット領域が存在することを特徴とする半導体装置。

【請求項7】 請求項1乃至請求項4において、前記チャネル形成領域と前記第2の導電層との間には、前記チャネル形成領域よりも膜厚の厚いオフセット領域が存在することを特徴とする半導体装置。

【請求項8】 請求項6において、前記膜厚の異なる二つのオフセット領域は、一方は前記チャネル形成領域と同一導電型かつ同一膜厚の半導体層からなる膜面方向のオフセットであり、他方は前記チャネル形成領域と同一導電型かつ前記チャネル形成領域よりも膜厚の厚い半導体層からなる膜厚方向のオフセットであることを特徴とする半導体装置。

【請求項9】 絶縁表面を有する基板上に形成されたゲイト電極と、

結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域と、

前記ソース領域及びドレイン領域上のそれぞれに形成されたソース電極及びドレイン電極と、

を構成に含む半導体装置であって、

前記ソース領域及びドレイン領域は、少なくともゲイト絶縁膜に向かって第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と

同一導電型の半導体層からなる積層構造を有し、

前記ソース電極及び／又はドレイン電極は前記ゲイト電極に、前記チャネル形成領域上でオーバーラップしていることを特徴とする半導体装置。

【請求項10】 結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域を構成に含む半導体装置であって、

前記ソース領域及びドレイン領域は、少なくともゲイト絶縁膜に向かって第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有し、

前記チャネル形成領域と前記第1の導電層との間には、膜厚の異なる二つのオフセット領域と前記第2の導電層からなるHRD構造が存在することを特徴とする半導体装置。

【請求項11】 請求項10において、前記膜厚の異なる二つのオフセット領域は、一方は前記チャネル形成領域と同一導電型かつ同一膜厚の半導体層からなる膜面方向のオフセットであり、他方は前記チャネル形成領域と同一導電型かつ前記チャネル形成領域よりも膜厚の厚い半導体層からなる膜厚方向のオフセットであることを特徴とする半導体装置。

【請求項12】 請求項9乃至請求項11において、前記ソース電極及びドレイン電極は前記第1の導電層を覆う層間絶縁膜上に形成され、前記層間絶縁膜に形成されたコンタクトホールを介して前記第1の導電層と電気的に接続していることを特徴とする半導体装置。

【請求項13】 請求項1乃至請求項12において、前記第1の導電層の膜厚は30～100nmであり、前記第2の導電層の膜厚は30～200nmであり、前記チャネル形成領域と同一導電型の半導体層の膜厚は100～300nmであり、前記チャネル形成領域の膜厚は10～100nmであることを特徴とする半導体装置。

【請求項14】 請求項1乃至請求項13において、前記第1の導電層、前記第2の導電層、前記チャネル形成領域と同一導電型の半導体層の順に膜厚が厚くなっていることを特徴とする半導体装置。

【請求項15】 請求項1乃至請求項14において、前記チャネル形成領域と同一導電型の半導体層は、前記第2の導電層の下に存在する真性または実質的に真性な半導体層であり、前記チャネル形成領域よりも膜厚が厚いことを特徴とする半導体装置。

【請求項16】 請求項1乃至請求項15において、前記第1の導電層及び前記第2の導電層は13族または15族から選ばれた元素によって導電性を与えられた半導体層であることを特徴とする半導体装置。

【請求項17】 請求項1乃至請求項16において、少なくとも前記チャネル形成領域にはしきい値電圧制御用の不純物が $1 \times 10^{15} \sim 5 \times 10^{17}$ atoms/cm³ の濃度で添加されていることを特徴とする半導体装置。

【請求項 1 8】 請求項 1 乃至請求項 1 6 において、前記チャンネル形成領域及び当該チャンネル形成領域と同一導電型の半導体層にしきい値電圧制御用の不純物が $1 \times 10^{15} \sim 5 \times 10^{17}$ atoms/cm³ の濃度で添加されていることを特徴とする半導体装置。

【請求項 1 9】 請求項 1 7 または請求項 1 8 において、前記しきい値電圧制御用の不純物とはボロン、インジウムまたはガリウムであることを特徴とする半導体装置。

【請求項 2 0】 絶縁表面を有する基板上にゲート電極、ゲート絶縁層、非晶質半導体膜を形成する工程と、前記非晶質半導体膜をレーザー光もしくはそれと同等の強光を照射して、結晶構造を有する半導体膜を得る工程と、

前記結晶構造を有する半導体膜に対して 1 5 族のみ或いは 1 3 族及び 1 5 族から選ばれた不純物を添加して、導電層を形成する工程と、

前記導電層上にソース電極及びドレイン電極を形成する工程と、

前記ソース電極及びドレイン電極をマスクとして前記結晶構造を有する半導体膜をエッチングすることでチャンネル形成領域を形成する工程と、

を構成に含むことを特徴とする半導体装置の作製方法。

【請求項 2 1】 絶縁表面を有する基板上にゲート電極、ゲート絶縁層、非晶質半導体膜を形成する工程と、前記非晶質半導体膜をレーザー光もしくはそれと同等の強光を照射して、結晶構造を有する半導体膜を得る工程と、

前記結晶構造を有する半導体膜に対して 1 5 族のみ或いは 1 3 族及び 1 5 族から選ばれた不純物を添加して、導電層を形成する工程と、

前記導電層上にソース電極及びドレイン電極を形成する工程と、

前記ソース電極及びドレイン電極をマスクとして前記結晶構造を有する半導体膜をエッチングすることでチャンネル形成領域を形成する工程と、

前記ソース電極及びドレイン電極をマスクとしてしきい値電圧制御用の不純物を添加する工程と、

を構成に含むことを特徴とする半導体装置の作製方法。

【請求項 2 2】 請求項 2 0 または請求項 2 1 において、前記結晶構造を有する半導体膜をレーザーアニールする工程が少なくとも 1 回含まれることを特徴とする半導体装置の作製方法。

【請求項 2 3】 請求項 2 0 乃至請求項 2 2 において、前記 1 5 族のみから選ばれた不純物とはリンであり、前記 1 3 族及び 1 5 族から選ばれた不純物とはボロンとリンであることを特徴とする半導体装置の作製方法。

【請求項 2 4】 請求項 1 9 乃至請求項 2 3 において、前記不純物の添加工程はイオン注入法またはイオンドーピング法により行われることを特徴とする半導体装置の

作製方法。

【請求項 2 5】 請求項 1 9 乃至請求項 2 4 において、前記加熱処理はランプアニールにより行われることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0 0 0 1】

【発明が属する技術分野】 本願発明は結晶構造を有する半導体薄膜を利用した半導体装置およびその作製方法に関する。特に、逆スタガ構造の薄膜トランジスタ（以下、TFTと略記する）の構成に関する。また、上記TFTを用いた半導体回路、電気光学装置及び電子機器の構成に関する。

【0 0 0 2】 なお、本明細書中において「半導体装置」とは半導体特性を利用して機能しうる装置全てを指しており、本明細書中に記載されたTFT、半導体回路、電気光学装置及び電子機器は全て半導体装置の範疇に含まれるものとする。

【0 0 0 3】

【従来の技術】 従来より、アクティブマトリクス型液晶表示装置（以下、AMLCDと略記する）のスイッチング素子としてTFTが利用されている。現在では非晶質珪素膜（アモルファスシリコン膜）を活性層として利用したTFTで回路構成を行う製品が市場を占めている。特に、TFT構造としては製造工程の簡単な逆スタガ構造が多く採用されている。

【0 0 0 4】 しかし、年々AMLCDの高性能化が進み、TFTに求められる動作性能（特に動作速度）は厳しくなる傾向にある。そのため、非晶質珪素膜を用いたTFTの動作速度では十分な性能を有する素子を得ることが困難となった。

【0 0 0 5】 そこで、非晶質珪素膜に代わって多結晶珪素膜（ポリシリコン膜）を利用したTFTが脚光を浴び、多結晶珪素膜を活性層とするTFTの開発が著しい勢いで進んできている。現在では、その一部で製品化も行われている。

【0 0 0 6】 活性層として多結晶珪素膜を利用した逆スタガ型TFTの構造については既に多くの発表がなされている。例えば、「Fabrication of Low-Temperature Bottom-Gate Poly-Si TFTs on Large-Area Substrate by Linear-Beam Excimer Laser Crystallization and Ion Doping Method: H. Hayashi et al., IEDM95, PP829-832, 1995」などの報告がある。

【0 0 0 7】 同報告書では多結晶珪素膜を利用した逆スタガ構造の典型的な例（Fig. 4）を説明しているが、この様な構造の逆スタガ構造（いわゆるチャンネルストップ型）では様々な問題も抱えている。

【0 0 0 8】 まず、活性層全体が50nm程度と極めて薄いのでチャンネル形成領域とドレイン領域との接合部において衝突電離（Impact Ionization）が発生し、ホットキャリア注入などの劣化現象が顕著に現れてしまう。その

ため、大きなLDD領域 (Light Doped Drain region) を形成する必要性が生じる。

【0009】そして、このLDD領域の制御性が最も重大な問題となる。LDD領域は不純物濃度と領域の長さの制御が非常に微妙であり、特に長さ制御が問題となる。現状ではマスクパターンによってLDD領域の長さを規定する方式が採られているが、微細化が進めば僅かなパターンニング誤差が大きなTFT特性の差を生む。

【0010】活性層の膜厚のバラツキによるLDD領域のシート抵抗のバラツキも深刻な問題となる。さらに、ゲイト電極のテーパ角度等のバラツキもLDD領域の効果のバラツキを招く要因となりうる。

【0011】また、LDD領域を形成するためにはパターンニング工程が必要であり、それはそのまま製造工程の増加、スループットの低下を招く。上記報告書に記載された逆スタガ構造では最低でもマスク6枚 (ソース/ドレイン電極形成まで) が必要であると予想される。

【0012】以上の様に、チャンネルストップ型の逆スタガ構造ではチャンネル形成領域の両側に横方向の平面内でLDD領域を形成しなくてはならず、再現性のあるLDD領域を形成することは非常に困難である。

【0013】

【本発明が解決しようとする課題】本願発明では、非常に簡易な製造工程によって、量産性が高く、且つ、信頼性及び再現性の高い半導体装置を作製する技術を提供することを課題とする。

【0014】

【課題を解決するための手段】本発明の構成は、結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャンネル形成領域を構成に含む半導体装置であって、前記ソース領域及びドレイン領域は、ゲイト絶縁膜に向かって少なくとも第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャンネル形成領域と同一導電型の半導体層からなる積層構造を有することを特徴とする。

【0015】また、他の発明の構成は、上記構成において、前記結晶構造を有する半導体層と熔融結晶化膜に特有の粒界分布を有することを特徴とする。

【0016】また、他の発明の構成は、上記構成において、前記第1の導電層から前記第2の導電層にかけて当該第1及び第2の導電層を構成する不純物の濃度プロファイルが連続的に変化していることを特徴とする。

【0017】また、他の発明の構成は、上記構成において、前記第2の導電層は $5 \times 10^{17} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の範囲内で連続的に変化する不純物によって形成されていることを特徴とする。

【0018】また、他の発明の構成は、上記構成において、前記チャンネル形成領域と前記第2の導電層との間には、膜厚の異なる二つのオフセット領域が存在することを特徴とする。

【0019】また、他の発明の構成は、上記構成において、前記チャンネル形成領域と前記第2の導電層との間には、前記チャンネル形成領域よりも膜厚の厚いオフセット領域が存在することを特徴とする。

【0020】また、他の発明の構成は、絶縁表面を有する基板上に形成されたゲイト電極と、結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャンネル形成領域と、前記ソース領域及びドレイン領域上のそれぞれに形成されたソース電極及びドレイン電極と、を構成に含む半導体装置であって、前記ソース領域及びドレイン領域は、少なくともゲイト絶縁膜に向かって第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャンネル形成領域と同一導電型の半導体層からなる積層構造を有し、前記ソース電極及び/又はドレイン電極は前記ゲイト電極に、前記チャンネル形成領域上でオーバーラップしていることを特徴とする。

【0021】また、他の発明の構成は、結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャンネル形成領域を構成に含む半導体装置であって、前記ソース領域及びドレイン領域は、少なくともゲイト絶縁膜に向かって第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャンネル形成領域と同一導電型の半導体層からなる積層構造を有し、前記チャンネル形成領域と前記第1の導電層との間には、膜厚の異なる二つのオフセット領域と前記第2の導電層からなるHRD構造が存在することを特徴とする。

【0022】なお、前記膜厚の異なる二つのオフセット領域は、一方は前記チャンネル形成領域と同一導電型かつ同一膜厚の半導体層からなる膜面方向のオフセットであり、他方は前記チャンネルと同一導電型かつ前記チャンネル形成領域よりも膜厚の厚い半導体層からなる膜厚方向のオフセットであることを特徴とする。

【0023】また、作製方法に関する他の発明の構成は、絶縁表面を有する基板上にゲイト電極、ゲイト絶縁層、非晶質半導体膜を形成する工程と、前記非晶質半導体膜をレーザー光もしくはそれと同等の強光を照射して、結晶構造を有する半導体膜を得る工程と、前記結晶構造を有する半導体膜に対して15族のみ或いは13族及び15族から選ばれた不純物を添加して、導電層を形成する工程と、前記導電層上にソース電極及びドレイン電極を形成する工程と、前記ソース電極及びドレイン電極をマスクとして前記結晶構造を有する半導体膜をエッチングすることでチャンネル形成領域を形成する工程と、を構成に含むことを特徴とする。

【0024】また、他の発明の構成は、絶縁表面を有する基板上にゲイト電極、ゲイト絶縁層、非晶質半導体膜を形成する工程と、前記非晶質半導体膜をレーザー光もしくはそれと同等の強光を照射して、結晶構造を有する半導体膜を得る工程と、前記結晶構造を有する半導体膜に対して15族のみ或いは13族及び15族から選ばれ

た不純物を添加して、導電層をする工程と、前記導電層上にソース電極及びドレイン電極を形成する工程と、前記ソース電極及びドレイン電極をマスクとして前記結晶構造を有する半導体膜をエッチングすることでチャンネル形成領域を形成する工程と、前記ソース電極及びドレイン電極をマスクとして前記チャンネル形成領域のみに対してしきい値電圧制御用の不純物を添加する工程と、を構成に含むことを特徴とする。

【0025】

【発明の実施の形態】以上の構成からなる本願発明の実施の形態について、以下に記載する実施例でもって詳細な説明を行うこととする。

【0026】

【実施例】 図1～28を用いて、本発明の実施例を詳細に説明する。

【0027】〔実施例1〕 本願発明の代表的な実施例について、図1～3を用いて説明する。まず、図1を用いて本願発明の半導体装置の作製方法を説明する。絶縁表面を有する基板の準備としてガラス基板101上に珪素を主成分とする絶縁膜でなる下地膜102を形成する。その上に導電性膜でなるゲイト電極（第1配線）103を形成する。

【0028】ゲイト電極103の線幅は1～10 μ m（代表的には3～5 μ m）とする。また、膜厚は200～500 nm（代表的には250～300 nm）とする。本実施例では250nm厚のアルミニウム膜（2wt%のスカンジウムを含有）を用いて線幅3 μ mのゲイト電極を形成する。

【0029】なお、ゲイト電極103としてはアルミニウム以外にも、タンタル、タングステン、チタン、クロム、モリブデン、導電性シリコン、金属シリサイドまたはそれらの積層膜等を用いることができる。ここで1回目のパターニング工程（ゲイト電極形成）が行われる。

【0030】ここで、ゲイト電極103に対して陽極酸化を行い、ゲイト電極を保護する陽極酸化膜104を50～200 nm（典型的には100～150 nm）形成する。本実施例では3%の酒石酸を含むエチレングリコール溶液（アンモニアで中性に中和する）中で印加電圧80V、化成電流5～6mAの条件で形成する。こうして100 nm程度の厚さに形成することができる。

【0031】次に、窒化珪素膜105（膜厚は0～200 nm、代表的には25～100 nm、好ましくは50nm）、SiO_xN_yで示される酸化窒化珪素膜又は酸化珪素膜（膜厚は150～300 nm、代表的には200 nm）106からなるゲイト絶縁層を形成する。なお、本実施例の場合、ゲイト絶縁層には陽極酸化膜104も含まれる。

【0032】ゲイト絶縁層を形成したら、その上に珪素を主成分とする非晶質半導体膜107を形成する。本実施例では非晶質珪素膜を例とするが他の化合物半導体膜（ゲルマニウムを含有する非晶質珪素膜等）を用いても良い。

【0033】また、本願発明はチャンネルエッチ型のボトムゲイト構造であるので、非晶質珪素膜107の膜厚は厚く形成しておく。膜厚範囲は100～600 nm（典型的には200～300 nm、好ましくは250 nm）とする。本実施例では200 nmとする。また、後述するが、最適な膜厚は本願発明のTFITにどのようなオフセット領域、LDD領域を設けるかによって適宜決定する必要がある。

【0034】なお、本実施例では減圧熱CVD法により非晶質珪素膜107を成膜するが、成膜の際に炭素、酸素、窒素といった不純物の濃度を徹底的に管理することが望ましい。これらの不純物が多いと後に結晶性半導体膜の結晶性の均一性を崩す恐れがある。

【0035】本実施例では成膜した非晶質珪素膜中における各不純物の濃度が、炭素及び窒素が 5×10^{18} atoms/cm³未満（代表的には 5×10^{17} atoms/cm³以下）、酸素が 1.5×10^{18} atoms/cm³未満（代表的には 1×10^{18} atoms/cm³以下）となる様に制御する。この様な管理を行っておけば最終的にTFITのチャンネル形成領域中に含まれる不純物濃度は上記範囲内に収まる。

【0036】こうして図1（A）の状態が得られる。図1（A）の状態が得られたら、レーザー光の照射により非晶質珪素膜107の結晶化を行う。（図1（B））

【0037】レーザー光としては、励起ガスとしてKrF（248 nm）、XeCl（308 nm）、ArF（193 nm）等を用いたパルス発振型エキシマレーザーを用いれば良い。また、Nd：YAGレーザーの高調波など他のあらゆるレーザー光を用いることができる。

【0038】なお、本実施例の様に結晶化しようとする非晶質半導体膜の膜厚が厚い場合、波長の長いレーザー光を用いた方が全体を均一に結晶化しやすい。また、レーザー光を照射する際に、基板を50～500℃程度の範囲で補助的に加熱する方法も有効である。また、レーザー光の波長周期を鑑みて光吸収効率が高まる様な膜厚に調節しておくことも有効である。

【0039】本実施例ではパルス発振型のXeClエキシマレーザー光を光学系によって線状に加工した後、基板の一端から他端に向かって走査することで非晶質珪素膜全面に対してレーザーアニールを行う。

【0040】なお、発振周波数は30MHz、走査速度は2.4mm/s、レーザーエネルギーは300～400mJ/cm²とし、基板を裏面側から400℃に加熱して処理する。こうして、結晶性半導体膜（本実施例では結晶性珪素膜）108を得る。

【0041】また、非晶質珪素膜とガラス基板とで熱吸収率が異なるため、膜の上面側から照射すれば非晶質珪素膜の温度を集中的に上げることが可能である。そのため、ガラス基板の耐熱温度（650℃付近）以上の温度で非晶質珪素膜を加熱することが可能である。

【0042】ところで、本実施例の様にレーザー光の照射により結晶化した半導体膜（本明細書中では溶融結晶

化膜と呼ぶ)はレーザー結晶化に特有の粒界分布(結晶粒界の存在分布)を有する。セコエッチングと呼ばれる公知の技術によって粒界を顕著化して観察すると、結晶粒と粒界とが明確に判別でき、数十~数百nmの粒径を持つ結晶粒の集合体であることが判る。

【0043】一方、他の結晶化手段を用いた半導体膜は溶融結晶化膜とは明らかに異なる粒界分布を示す。なぜならばレーザー光(またはそれと同等の強度を持つ強光)を用いた結晶化では一旦半導体層が溶融するが、他の手段は基本的に固相成長であり、結晶化機構が異なるからである。

【0044】さて次に、15族から選ばれた元素(代表的にはリン、砒素またはアンチモン)をイオン注入法(質量分離あり)またはイオンドーピング法(質量分離なし)により添加する。本実施例では結晶性珪素膜108の表面から深さ30~100nm(代表的には30~50nm)の範囲において、リン濃度が $1 \times 10^{19} \sim 3 \times 10^{21}$ atoms/cm³、代表的には $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³となる様に調節する。

【0045】本実施例ではこの様にして形成された高濃度のリンを含む領域109をn⁺層(または第1の導電層)と呼ぶ。この層の厚さは30~100nm(代表的には30~50nm)の範囲で決定する。この場合、n⁺層109は後にソース/ドレイン電極の一部として機能する。本実施例では30nm厚のn⁺層を形成する。

【0046】また、n⁺層109の下に形成される低濃度にリンを含む領域110をn⁻層(または第2の導電層)と呼ぶ。この場合、n⁻層110はn⁺層109よりも高抵抗となり、後に電界緩和のためのLDD領域として機能する。本実施例では30nm厚のn⁻層を形成する。また、n⁻層110の下に形成される、真性または実質的に真性な領域をi層120と呼ぶ。i層120には、チャネル形成領域が形成される。(図1(C))

【0047】また、この時、リンを添加する際の深さ方向の濃度プロファイルが非常に重要である。この事について図4を用いて説明する。なお、図4に示す濃度プロファイルは加速電圧を80keV、RF電力を20Wとしてイオンドーピング法によりフォスフィン(PH₃)を添加した場合の例である。

【0048】図4において、401は結晶性珪素膜、402は添加されたリンの濃度プロファイルを示している。この濃度プロファイルはRF電力、添加イオン種、加速電圧等の設定条件によって決定される。

【0049】この時、濃度プロファイル402のピーク値はn⁺層403内部又は界面近傍にあり、結晶性珪素膜401の深くにいく程(ゲイト絶縁膜に向かうほど)、リン濃度は低下する。この時、リン濃度は膜内部全域に渡って連続的に変化するためn⁺層403の下には必ずn⁻層404が形成される。

【0050】そして、このn⁻層404の内部において

もリン濃度は連続的に低下していく。本実施例では、リン濃度が 1×10^{19} atoms/cm³を超える領域をn⁺層403として考え、 $5 \times 10^{17} \sim 1 \times 10^{19}$ atoms/cm³の濃度範囲にある領域をn⁻層404として考えている。ただし、明確な境界は存在しないため、目安として考えている程度である。

【0051】また、リン濃度が極端に低下した領域及びそのさらに下層は真性または実質的に真性な領域(i層)405となる。なお、真性な領域とは意図的に不純物が添加されない領域を言う。また、実質的に真性な領域とは、不純物濃度(ここではリン濃度)が珪素膜のスピン密度以下である領域又は不純物濃度が $1 \times 10^{14} \sim 1 \times 10^{17}$ atoms/cm³の範囲で一導電性を示す領域を指す。

【0052】この様な真性または実質的に真性な領域はn⁻層404の下に形成される。ただし、i層405は基本的にチャネル形成領域と同一導電型の半導体層から構成される。即ち、チャネル形成領域が弱いn型又はp型を示す様な場合には、同様の導電型を示す。

【0053】この様に、n⁺層の形成にイオン注入法またはイオンドーピング法を用いることによりn⁺層の下にn⁻層を形成することができる。従来の様にn⁺層を成膜で設けた場合にはこの様な構成は実現できない。また、イオン添加時の条件を適切に設定することでn⁺層とn⁻層の厚さ制御を容易に行うことができる。

【0054】特に、n⁻層110の厚さは後にLDD領域の厚さとなるため、非常に精密な制御が必要である。イオンドーピング法等では添加条件の設定によって深さ方向の濃度プロファイルが精密に制御できるので、LDD領域の厚さ制御が容易に行える。本願発明ではn⁻層110の厚さを30~200nm(代表的には50~150nm)の範囲で調節すれば良い。

【0055】図4では、ドーピング工程が1度の場合の濃度プロファイルを示しているが、ドーピング工程を複数に分けることで、n⁺層403、n⁻層402の厚さを制御することもできる。例えば、高ドーズ量で比較的浅い箇所、n⁺層403を形成すべき深さに濃度プロファイルのピークが位置するようなドーピングと、低ドーズ量で比較的深い箇所、n⁻層402を形成すべき深さに濃度プロファイルのピークが位置するドーピングを行えばよい。

【0056】こうしてn⁺層109、n⁻層110を形成したら、再びレーザー光の照射を行い、添加した不純物(リン)の活性化を行う。(図1(D))

【0057】なお、レーザーアニール以外にランプアニール(強光の照射)、ファーンেসアニール(電熱炉による加熱)を行うこともできる。ただし、ファーンেসアニールの場合にはガラス基板の耐熱性を考慮して処理を行う必要がある。

【0058】本実施例ではXeClエキシマレーザーを用いてレーザーアニールを行う。処理条件は基本的に上

述の結晶化工程と同一で良いが、レーザーエネルギーは $200 \sim 350 \text{ mJ/cm}^2$ (代表的には $250 \sim 300 \text{ mJ/cm}^2$) で良い。また、基板は裏面側から 300°C に加熱して活性化率の向上を図る。

【0059】また、このレーザー活性化工程では結晶性珪素膜 108 がリンの添加工程に受けたダメージを回復することができる。そして、添加時のイオン衝突により非晶質化した領域を再結晶化することができる。

【0060】こうしてリンの活性化工程が終了したら、結晶性珪素膜のパターニングを行い、島状半導体層 111 を形成する。この時、最終的に TFT が完成した時にキャリアの移動方向に対して垂直な方向の長さ (チャネル幅 (W)) が $1 \sim 30 \mu\text{m}$ (代表的には $10 \sim 20 \mu\text{m}$) となる様に調節する。ここで 2 回目のパターニング工程が行われる。(図 2 (A))

【0061】ここで図面上には図示されないが、露出したゲイト絶縁層の一部をエッチングし、ゲイト電極 (第 1 配線) と次に形成する電極 (第 2 配線) との電気的接続をとるためのコンタクトホール (図 2 (C) の 118 で示される領域) を開口する。ここで 3 回目のパターニング工程が行われる。

【0062】次に、導電性を有する金属膜 (図示せず) を成膜し、パターニングによりソース電極 112、ドレイン電極 113 を形成する。本実施例では Ti (50nm) / Al ($200 \sim 300 \text{ nm}$) / Ti (50nm) の 3 層構造からなる積層膜を用いる。また、上述の様にゲイト電極と電気的に接続するための配線も同時に形成されている。ここで 4 回目のパターニング工程が行われる。(図 2 (B))

【0063】また、後述するが、ゲイト電極 103 の真上の領域、即ちソース電極 112 とドレイン電極 113 とで挟まれた領域 (以下、チャネルエッチ領域と呼ぶ) 114 の長さ (C_1 で示される) が後にチャネル形成領域とオフセット領域の長さを決定する。 C_1 は $2 \sim 20 \mu\text{m}$ (代表的には $5 \sim 10 \mu\text{m}$) の範囲から選べるが、本実施例では $C_1 = 4 \mu\text{m}$ とする。

【0064】次に、ソース電極 112 及びドレイン電極 113 をマスクとしてドライエッチングを行い、自己整合的に島状半導体層 111 をエッチングする。そのため、チャネルエッチ領域 114 のみでエッチングが進行する。(図 2 (C))

【0065】この時、 n^+ 層 109、 n^- 層 110 は完全にエッチングされ、真性または実質的に真性な領域 (i 層) のみが残された形でエッチングを止める。本発明では最終的に $10 \sim 100 \text{ nm}$ (代表的には $10 \sim 75 \text{ nm}$ 、好ましくは $15 \sim 45 \text{ nm}$) の半導体層のみを残す。本実施例では 30 nm 厚の半導体層を残すことにする。

【0066】こうして島状半導体層 111 のエッチング (チャネルエッチ工程) が終了したら、保護膜 115 として酸化珪素膜または窒化珪素膜を形成して、図 2 (C)

に示す様な構造の逆スタガ型 TFT を得る。

【0067】この状態において、チャネルエッチされた島状半導体層 111 のうち、ゲイト電極 112 の真上に位置する領域はチャネル形成領域 116 となる。本実施例の構成ではゲイト電極幅がチャネル形成領域の長さに対応し、 L_1 で示される長さをチャネル長と呼ぶ。また、ゲイト電極 113 の端部よりも外側に位置する領域 117 は、ゲイト電極 103 からの電界が及ばず、オフセット領域となる。この長さは X_1 で示される。

【0068】本実施例の場合、ゲイト電極 103 の線幅 (L_1 に相当する) が 100 nm 厚の陽極酸化膜分の減りを考慮すると約 $2.8 \mu\text{m}$ であり、チャネルエッチ領域 114 の長さ (C_1) が $4 \mu\text{m}$ であるので、オフセット領域の長さ (X_1) は約 $0.6 \mu\text{m}$ となる。

【0069】ここで、ドレイン領域 (ドレイン電極 113 と接する半導体層) を拡大したものを図 3 に示す。図 3 において、103 はゲイト電極、301 はチャネル形成領域、302 は n^+ 層 (ソースまたはドレイン電極)、303、304 は膜厚の異なるオフセット領域、305 は n^- 層 (LDD 領域) である。

【0070】なお、ここでは説明しないがソース領域 (ソース電極 112 と接する半導体層) も同様の構造を有している。

【0071】また、図 3 に示す構造は模式的に記されているが、各領域の膜厚関係には注意が必要である。本願発明を構成するにあたって最も好ましい構成は、膜厚の厚さが n^+ 層 302 < n^- 層 305 < オフセット領域 (i 層) 304 の関係にある場合である。

【0072】なぜならば n^+ 層 302 は電極として機能するだけなので薄くで十分である。一方、 n^- 層 305 及びオフセット領域 304 は電界緩和を効果的に行うために適切な厚さが必要である。

【0073】本実施例の構成では、チャネル形成領域 301 から n^+ 領域 302 に至るまでに膜厚の異なる二つのオフセット領域 303、304 及び LDD 領域 305 が存在する。なお、303 はマスク合わせにより形成される膜面方向のオフセット領域であり、マスクオフセット領域と呼ぶ。

【0074】また、304 は i 層の膜厚分に相当する膜厚方向のオフセット領域であり、厚さオフセット領域と呼ぶ。厚さオフセット領域 304 の厚さは $100 \sim 300 \text{ nm}$ (代表的には $150 \sim 200 \text{ nm}$) の範囲で決定すれば良い。ただし、チャネル形成領域の膜厚よりも膜厚をが厚くする必要はある。チャネル形成領域よりも膜厚が薄いとは良好なオフセット効果を望めない。

【0075】この様なオフセット + LDD からなる構造を本発明者らは HRD (High Resistance Drain) 構造と呼び、通常の LDD 構造とは区別して考えている。本実施例の場合、HRD 構造はマスクオフセット + 厚さオフセット + LDD の 3 段構造で構成されることになる。

【0076】この時、LDD領域303はLDD領域の膜厚及び不純物濃度によって制御されるため、非常に再現性が高く、特性バラツキが小さいという利点を有する。パターニングによって形成されたLDD領域ではパターニング誤差による特性バラツキが問題となることは従来例で述べた通りである。

【0077】なお、マスクオフセット領域303の長さ(X_1)はパターニングによって制御されるため、パターニングやガラスの縮み等による誤差の影響を受ける。しかしながら、その後には厚さオフセット領域304とLDD領域305とが存在するので誤差による影響は緩和され、特性バラツキを小さくすることができる。

【0078】なお、マスクオフセットの長さ(X_1)はチャンネル長(L_1)とチャンネルエッチ領域の長さ(C_1)を用いて($C_1 - L_1$)/2で表される。従って、ソース/ドレイン電極形成時のパターニング工程によって所望のオフセット長(X_1)を設定することが可能である。本実施例の構成ではオフセット長(X_1)は0.3~3 μ m(代表的には1~2 μ m)とすることができる。

【0079】なお、図2(C)に示す様な構造の逆スタガ型TFETは、従来の非晶質珪素膜を活性層(島状半導体層)として利用したTFETでは実現できない。なぜならば、非晶質珪素膜を用いる場合、ソース/ドレイン電極とゲイト電極とがオーバーラップする様な構造にしないとキャリア(電子または正孔)の移動度が極めて遅くなってしまふからである。

【0080】ソース/ドレイン電極とゲイト電極とがオーバーラップする様な構造にしたとしても非晶質珪素膜を用いたTFETのモビリティ(電界効果移動度)はせいぜい1~10 cm^2/Vs 程度である。それに対して本実施例の様な構造を採用してしまつてはモビリティが低すぎてスイッチング素子として機能しない。

【0081】ところが、本願発明では活性層として結晶性珪素膜を利用しているのでキャリア移動度が十分に速い。従って、本実施例の様な構造としても十分なモビリティを得ることが可能である。即ち、本実施例の構造は半導体層として結晶構造を有する半導体膜を用いたからこそ実現できるのである。

【0082】また、本実施例の逆スタガ型TFETは、HRD構造を有しているので衝突電離によるホットキャリア注入などの劣化現象に対して非常に強く、高い信頼性を有している。しかも、LDD領域の効果が支配的な上、そのLDD領域が非常に制御性よく形成されているので特性バラツキが非常に小さい。

【0083】そのため、本実施例の様な構造は高耐圧を必要とし、高い動作速度はそれほど必要としない様な回路を構成するTFETに好適である。

【0084】また、本実施例の作製工程に示した様に、図2(C)に示した構造の逆スタガ型TFETを得るのに

4枚のマスクしか必要としていない。これは従来のチャネルストップ型TFETが6枚マスクを必要としていた事を考えると、スループット及び歩留りが飛躍的に向上することを意味している。

【0085】以上の様に、本実施例の構成によれば量産性の高い作製工程によって、高い信頼性と再現性を有するボトムゲイト型TFETを作製することが可能である。

【0086】なお、本実施例の作製工程に従って作製したボトムゲイト型TFET(Nチャネル型TFET)のモビリティは10~150 cm^2/Vs (代表的には60~120 cm^2/Vs)、しきい値電圧は1~4Vを実現しうる。

【0087】〔実施例2〕 本実施例では本願発明の構成において、実施例1とは異なる構成例を示す。TFETの作製工程は基本的には実施例1に従えば良いので、本実施例では必要な部分のみを説明することにする。

【0088】まず、実施例1の作製工程に従って図5(A)の状態を得る。ここで実施例1と異なる点は、ソース電極501、ドレイン電極502を形成する際にチャンネルエッチ領域500の長さを C_1 とする点にある。

20 この時、 C_1 はゲイト電極幅よりも狭く、2~9 μ m(代表的には2~4 μ m)の範囲で選ばれる。即ち、ゲイト電極とソース/ドレイン電極とがオーバーラップする様に設けることが本実施例の特徴となる。

【0089】この状態で実施例1に示した様にチャンネルエッチ工程を行い、保護膜を設けると図5(B)の状態を得る。この時、503で示される領域がチャンネル形成領域となり、そのチャンネル長は L_1 (= C_1)で表される。また、マスク設計によりオーバーラップさせた領域(マスクオーバーラップ領域と呼ぶ)504の長さ(Y_1)はゲイト電極幅をEとすると、($E - L_1$)/2で表される。

【0090】図5(C)はドレイン領域の拡大図であるが、TFET動作時のキャリアは、チャンネル形成領域503(厚さ50nm)、マスクオーバーラップ領域504(厚さ160nm)、LDD領域505(厚さ50nm)を通してn'層506(厚さ40nm)、ドレイン電極502へと到達する。

【0091】なお、この場合、マスクオーバーラップ領域504にもゲイト電極からの電界が形成されるが、LDD領域505に近づくにつれて電界は弱まるので、その様な領域は実質的にLDD領域と同様の機能を持つ。勿論、さらにLDD領域505に近づけば完全に電界が形成されなくなり、オフセット(厚さオフセット)領域としても機能しうる。

【0092】この様に本実施例の構造ではHRD構造が、オーバーラップによる実質的なLDD+厚さオフセット+低濃度不純物によるLDDで構成される。また、オーバーラップ領域504の膜厚が薄い場合には、オーバーラップによる実質的なLDD+低濃度不純物によるLDDのみからなるLDD構造もとりうる。

【0093】本実施例の構成においても、オーバーラップ領域504、LDD領域505がそれぞれの膜厚で制御されるので非常に特性バラツキが小さい。また、オーバーラップ領域の長さ(Y_1)はバタニング等による誤差を含むが、オーバーラップによるLDD、厚さ方向のオフセット及び低濃度不純物によるLDDはその様な誤差の影響を受けないので Y_1 の誤差による特性バラツキは緩和される。

【0094】なお、本実施例の様な構造はオフセット成分が少なく、高い動作速度を必要とする様な回路を構成するTFTに好適である。

【0095】また、本実施例の構造では衝突電離によってチャンネル形成領域内に蓄積した少数キャリアが速やかにソース電極へと引き抜かれるので基板浮遊効果を起こしにくいという利点を有する。そのため、動作速度が速い上に非常に耐圧特性の高いTFTを実現することが可能である。

【0096】〔実施例3〕 本実施例では本願発明の構成において、実施例1、2とは異なる構成例を示す。TFTの作製工程は基本的には実施例1に従えば良いので、本実施例では必要な部分のみを説明することにする。

【0097】まず、実施例1の作製工程に従って図6(A)の状態を得る。ここで実施例1と異なる点は、ソース電極601、ドレイン電極602を形成する際にチャンネルエッチ領域600の長さを C_1 とする点にある。この時、 C_1 はゲイト電極幅と一致させるため、 $1 \sim 10 \mu\text{m}$ (代表的には $3 \sim 5 \mu\text{m}$)となる。

【0098】この状態で実施例1に示した様にチャンネルエッチ工程を行い、保護膜を設けると図6(B)の状態を得る。この時、603で示される領域がチャンネル形成領域となり、そのチャンネル長は L_1 ($=C_1$)で表される。

【0099】図6(C)はドレイン領域の拡大図であるが、TFT動作時のキャリアは、チャンネル形成領域603(厚さ100nm)、厚さオフセット領域604(厚さ150nm)、LDD領域605(厚さ100nm)を通して n^+ 層606(厚さ50nm)、ドレイン電極602へと到達する。即ち、本実施例の構造ではHRD構造が厚さオフセット+LDDの2段構造で構成される。

【0100】本実施例の構成においても、厚さオフセット領域604、LDD領域605がそれぞれの膜厚で制御されるので非常に特性バラツキが小さい。また、十分な耐圧特性を得ることが可能である。

【0101】〔実施例4〕 本実施例では本願発明の構成において、実施例1～3とは異なる構成例を示す。TFTの作製工程は基本的には実施例1に従えば良いので、本実施例では必要な部分のみを説明することにする。

【0102】まず、実施例1の作製工程に従って図7

(A)の状態を得る。ここで実施例1と異なる点は、ソース電極701、ドレイン電極702を形成する際にソース電極またはドレイン電極のいずれか一方をゲイト電極にオーバーラップさせ、他方はオーバーラップさせない構成とする点にある。

【0103】なお、本実施例ではチャンネルエッチ領域700の長さを C_1 とする。この時、 C_1 は $1 \sim 10 \mu\text{m}$ (代表的には $3 \sim 6 \mu\text{m}$)の範囲で選ばれる。

【0104】この状態で実施例1に示した様にチャンネルエッチ工程を行い、保護膜を設けると図7(B)の状態を得る。この時、703で示される領域がチャンネル形成領域となり、そのチャンネル長は L_1 ($=C_1 - X_1$)で表される。

【0105】ここで、 X_1 はマスクオフセット領域704の長さである。 X_1 の数値範囲については実施例1を参考にすれば良い。また、マスクオーバーラップ領域705の長さの数値範囲は実施例2を参考にすれば良い。

【0106】本実施例は、実施例1で説明したHRD構造と実施例2で説明したHRD構造(またはLDD構造)とを組み合わせた構成である。構造的な説明は実施例1及び実施例2で既に説明したのでここでの説明は省略する。

【0107】本実施例の様な構造を採用する場合、特にソース領域に実施例2に示したHRD構造(またはLDD構造)を用い、ドレイン領域に実施例1で説明したHRD構造を用いることが好ましい。

【0108】例えば、ドレイン領域側のチャンネル端部(接合部)では特に電界集中が激しく、実施例1に示した様な抵抗成分の多いHRD構造が望ましい。逆に、ソース側ではそこまでの高耐圧対策は必要ないので、実施例2に示した様な抵抗成分の少ないHRD(またはLDD)構造が適している。

【0109】なお、本実施例において、ソース/ドレイン領域側のいずれか一方に実施例2の構成を組み合わせることも可能である。この様に、実施例1～3に示したHRD構造またはLDD構造を実施者が適宜選択してソース/ドレイン領域に採用し、回路設計を鑑みて最適な構造を設計すれば良い。この場合、 $3^2 = 9$ 通りの組み合わせパターンが可能である。

【0110】〔実施例5〕 本実施例では実施例1～4に示した構成のボトムゲイト型TFTを用いてCMOS回路(インバータ回路)を構成する場合の例について図8を用いて説明する。なお、CMOS回路は同一基板上に形成されたNチャンネル型TFTとPチャンネル型TFTとを相補的に組み合わせる構成とする。

【0111】図8は実施例4に示した構成を利用したCMOS回路であり、801はPチャンネル型TFTのソース電極、802はNチャンネル型TFTのソース電極、803はN/P共通のドレイン電極である。

【0112】また、Nチャンネル型TFTは実施例1で説

明した作製工程によって n^+ 層804、805、 n^- 層806、807が形成されている。一方、Pチャネル型TFTの方には p^{++} 層808、809、 p^- 層810、811が形成されている。

【0113】なお、同一基板上にCMOS回路を作製することは非常に容易である。本願発明の場合、まず、実施例1の工程に従って図2(A)の状態を得る。

【0114】この状態ではN型/P型関係なく15族から選ばれた元素が全面に添加されているが、Pチャネル型TFTを作製する場合にはNチャネル型TFTとする領域をレジストマスク等で隠して13族から選ばれた元素(代表的にはボロン、インジウムまたはガリウム)を添加すれば良い。

【0115】本実施例ではボロンを例にとるが、この時、ボロンはリンの濃度以上に添加して導電性を反転させなければならない。また、 n^+ 層及び n^- 層全てを完全に p^{++} 層及び p^- 層に反転させるためには、ボロン添加時の濃度プロファイルを調節してリンの添加深さよりも深く添加することが重要である。

【0116】従って、ボロンの膜中における濃度プロファイルは図9のようになる。図9において、900は半導体層、901はボロン添加前のリンの濃度プロファイル、902はボロン添加後のボロンの濃度プロファイル、903は p^{++} 層、904は p^- 層、905はi層である。

【0117】この時、 p^{++} 層903の厚さは10~150 nm(代表的には50~100 nm)とし、 p^{++} 層のボロンの濃度は、 $3 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm³、代表的には $3 \times 10^{19} \sim 3 \times 10^{21}$ atoms/cm³となる様に調節する。

【0118】他方、 p^- 層904の厚さは30~300 nm(代表的には100~200 nm)とし、そのボロンの濃度は、 $5 \times 10^{17} \sim 3 \times 10^{19}$ atoms/cm³となる様に調節する。ただし、Pチャネル型TFTは元来劣化に強いので p^- 層をLDD領域として利用する必要性は必ずしもない。わざわざ p^- 層904の膜厚について言及したのは、イオン注入法等の添加手段を用いる限り、連続的に変化する濃度勾配によって必ず p^- 層が形成されるからである。

【0119】ところで、本実施例ではNチャネル型TFTとPチャネル型TFTのどちらもソース領域側には実施例2に示した構成のHRD構造(オーバーラップ領域を利用したタイプ)を用い、ドレイン領域側には実施例1に示した構成のHRD構造(マスクオフセットを利用したタイプ)を設けている。

【0120】そのため、上面図で明らかな様にPチャネル型TFTのソース領域側には Y_i の長さを持つオーバーラップ領域を有し、ドレイン領域側には X_i の長さを持つマスクオフセット領域を有している。また、Nチャネル型TFTのソース領域側には Y_j の長さを持つオーバーラップ領域を有し、ドレイン領域側には X_j の長さ

を持つマスクオフセット領域を有している。

【0121】この時、 X_i と X_j 、 Y_i と Y_j の長さはそれぞれマスク設計によって自由に調節できる。従って、それぞれの長さは回路構成の必要に応じて適宜決定すれば良く、Nチャネル型とPチャネル型とで揃える必要はない。

【0122】また、この様な構造ではCMOS回路の共通ドレインとなる領域の耐圧特性を高くすることができるので、動作電圧の高い回路を構成する場合において、非常に有効な構成である。

【0123】なお、実施例1~4に示した構成のTFTを用いたCMOS回路の構成を図8に示したが、これ以外の全ての組み合わせも可能であることは言うまでもない。可能な構成パターンとしては、一つのTFTについて9通りあるので、CMOS回路では $9^2 = 81$ 通りがある。これらの複数の組み合わせの中から、回路が必要する性能に応じて最適な組み合わせを採用していけば良い。

【0124】また、本実施例に示した様に本願発明はPチャネル型TFTにも容易に適用することができる。その場合、本願発明のボトムゲイト型TFT(Pチャネル型TFT)のモビリティは $10 \sim 100 \text{ cm}^2/\text{Vs}$ (代表的には $50 \sim 100 \text{ cm}^2/\text{Vs}$)、しきい値電圧は-1.5~-5 Vを実現しうる。

【0125】〔実施例6〕 本実施例では、本願発明のTFTに対してしきい値電圧を制御するための工夫を施した場合の例について説明する。

【0126】しきい値電圧を制御するために13族(代表的にはボロン、インジウム、ガリウム)または15族(代表的にはリン、砒素、アンチモン)から選ばれた元素をチャネル形成領域に対して添加する技術はチャネルドープと呼ばれている。

【0127】本願発明に対してチャネルドープを行うことは有効であり、以下に示す2通りの方法が簡易で良い。

【0128】まず、非晶質珪素膜を成膜する時点において成膜ガスにしきい値電圧を制御するための不純物を含むガス(例えばジボラン、フォスフィン等)を混在させ、成膜と同時に所定量を含有させる方式がある。この場合、工程数を全く増やす必要がないが、N型及びP型の両TFTに対して同濃度が添加されるため、両者で濃度を異ならせるといった要求には対応できない。

【0129】次に、図2(C)で説明した様なチャネルエッチ工程(チャネル形成領域の形成工程)が終了した後で、ソース/ドレイン電極をマスクとしてチャネル形成領域(またはチャネル形成領域とマスクオフセット領域)に対して選択的に不純物添加を行う方式がある。

【0130】添加方法はイオン注入法、イオンドーピング法、プラズマ処理法、気相法(雰囲気からの拡散)、固相法(膜中からの拡散)など様々な方法を用いること

ができるが、チャネル形成領域が薄いので、気相法や固相法等の様にダメージをあたえない方法が好ましい。

【0131】なお、イオン注入法等を用いる場合には、TFT全体を覆う保護膜を設けてから行えばチャネル形成領域のダメージを減らすことができる。

【0132】また、不純物を添加した後はレーザーアニール、ランプアニール、ファーンズアニールまたはそれらを組み合わせて不純物の活性化工程を行う。この時、チャネル形成領域が受けたダメージも殆ど回復する。

【0133】本実施例を実施する場合、チャネル形成領域には $1 \times 10^{15} \sim 5 \times 10^{18} \text{ atoms/cm}^2$ (代表的には $1 \times 10^{15} \sim 5 \times 10^{17} \text{ atoms/cm}^2$) の濃度でしきい値電圧を制御するための不純物を添加すれば良い。

【0134】そして、本実施例を本願発明のTFTに実施した場合、Nチャネル型TFTのしきい値電圧を1.5～3.5Vの範囲に収めることができる。また、Pチャネル型TFTに適用した場合にはしきい値電圧を-1.5～-3.5Vの範囲に収めることが可能である。

【0135】なお、本実施例の構成は実施例1～5のいずれの構成との組み合わせも可能である。また、実施例5のCMOS回路に適用する場合、N型TFTとP型TFTとで添加濃度や添加する不純物の種類を異なるものとすることもできる。

【0136】〔実施例7〕 図2(C)に示した構造では、島状半導体層を完全に囲む様にしてソース電極11とドレイン電極113とが形成されている。本実施例ではこれとは別の構成について説明する。

【0137】図10(A)に示す構造は、基本的には図2(C)と似ているが、ソース電極11及びドレイン電極12の形状が異なる点に特徴がある。即ち、一部において島状半導体層(厳密にはソース/ドレイン領域)よりもaで示される距離だけ内側にソース電極11及びドレイン電極12が形成されている。

【0138】また、13で示される領域は、チャネル形成領域14と同じ膜厚を有する領域であり、距離aの幅を持つ。図面上では模式的に表しているが、距離aは1～300 μm (代表的には10～200 μm) である。

【0139】ここで作製工程と照らし合わせて本実施例の特徴を説明する。本実施例では図10(B)に示す様にソース電極11及びドレイン電極12を形成する。ここで15は島状半導体層であり、端部16が露出する。

【0140】この状態でチャネルエッチ工程を行うと、ソース電極11及びドレイン電極12がマスクとなって自己整合的に島状半導体層15がエッチングされる。この場合、端部16も同時にエッチングされる。

【0141】この様にして図10(A)の様な構造が得られる。従って、端部16がチャネル形成領域14と同じ膜厚を有することは明らかである。

【0142】この島状半導体層の突出部13を形成する理由は以下の2つがある。

(1) チャネルエッチ工程におけるエッチングモニタとして利用する。

(2) 後工程で保護膜や層間絶縁膜を形成する際に、島状半導体層の段差によるカバレッジ不良を低減する。

【0143】エッチングモニタとしては、製造過程における抜き取り検査によってチャネル形成領域が適切な膜厚となっているかどうかを検査する場合に用いる。

【0144】なお、本実施例の構成は実施例1～6のいずれの構成とも組み合わせることが可能である。

【0145】〔実施例8〕 本実施例では実施例5に示したCMOS回路(インバータ回路)の回路構成の例について図11を用いて説明する。

【0146】図11(A)に示すのは、図8に示したものと同一構造のCMOS回路である。この場合、回路構成はクロム膜からなるゲート電極20、N型TFTの半導体層21、P型TFTの半導体層22、N型TFTのソース電極23、P型TFTのソース電極24、共通ドレイン電極25から構成される。

【0147】なお、各端子部a、b、c、dはそれぞれ図11(C)に示したインバータ回路の端子部a、b、c、dに対応している。

【0148】次に、図11(B)に示すのは、N型TFTとP型TFTとでドレイン領域となる半導体層を共通化した場合の例である。各符号は図11(A)で説明した符号に対応している。

【0149】図11(B)の構造ではTFT同士を非常に高い密度で形成することができるため、回路を高集積化する場合などに非常に有効である。共通化した半導体層はPN接合を形成するが問題とはならない。

【0150】〔実施例9〕 実施例1では、非晶質半導体膜の結晶化工程においてレーザー光、特にパルス発振型のエキシマレーザーを使用して熔融結晶化させている。またレーザー光もしくは、それと同等の強度を持つ強光を用いて、ガラス基板を歪ませずに、固相成長により結晶化することも可能である。

【0151】その様な強光またはレーザー光を発する光源として、ハロゲンランプ等の赤外線ランプや、Arレーザー等の連続発振レーザーを用いることができる。赤外線ランプや連続発振レーザーを用いたRTA(Rapid Thermal Anneal)技術は数秒から数十秒の加熱処理で結晶化が可能であるため、大幅にスループットを向上することが可能である。

【0152】赤外線ランプ光又は連続発振レーザー光を照射すると、非晶質珪素膜に吸収されたランプ光は熱に変わり、この熱により非晶質半導体膜中に結晶核が発生して、固相成長によって結晶化が進行して、結晶性半導体膜を得ることができる。

【0153】ハロゲンランプ(ピーク波長1.15 μm 、波長0.4～4 μm)を用いた場合には、加熱時間を10～60秒、典型的には15～30秒とする。非晶

質半導体膜を700～1000℃に加熱するようにする。非晶質半導体膜は700～1000℃に加熱されるが、ガラス基板には赤外光が吸収されにくいこと、ランプ光の照射時間が短時間であるため、ガラス基板を歪み点(650～700℃程度)以上に加熱することがない。

【0154】赤外線ランプ光又は連続発振レーザ光により半導体膜を結晶化した後、レーザ光照射により半導体膜をアニールして、結晶性を向上させるとよい。この場合には、レーザ光によるアニールは不純物の活性化工程として、実施することも可能である。

【0155】本実施例のRTA技術による、半導体膜の結晶化方法は、他の全ての実施例の構成と組み合わせることが可能である。

【0156】〔実施例10〕本実施例では、実施例1で説明した基本的な作製工程に従って、同一基板上にドライバ回路(周辺駆動回路)と画素マトリクス回路とを一体形成したアクティブマトリクス型表示装置を作製する例を示す。

【0157】本実施例ではドライバ回路としては基本構成であるCMOS回路(図11(B)に示したタイプ)を示す。なお、ドライバ回路以外に、D/Aコンバータ回路、メモリ回路、 γ 補正回路などの信号処理回路(これらをドライバ回路と区別するためにロジック回路と呼ぶ)を本願発明のTFTで構成することも可能である。その場合にもCMOS回路が基本回路として用いられる。

【0158】また、画素マトリクス回路としてはマルチゲイト型TFTを用いる例を示す。本実施例ではダブルゲイト構造とする例を示すが、シングルゲイト構造でもトリプルゲイト構造でも構わない。

【0159】まず、実施例1の作製工程を利用して図1(B)に示す工程(レーザ結晶化工程)までを終了する。この状態を図12(A)に示す。

【0160】図12(A)において、30はガラス基板、31は下地膜、32はCMOS回路となるPTFTのゲイト電極、33はNTFTのゲイト電極である。また、34、35は画素TFTのゲイト電極であり、図示されない部分で両電極は接続されている。ゲイト電極31～35の材料として、アルミニウム膜(Scを2wt%含有する)を用いる。熱的、物理的ダメージからゲイト電極を保護するために、CMOS回路のゲイト電極31、31の周囲には、酸化アルミニウムでなる陽極酸化膜3000、3001が形成され、また画素TFTのゲイト電極34、35の周囲にも、酸化アルミニウムでなる陽極酸化膜3002が形成されている。陽極酸化膜3001～3002の形成方法は、実施例1と同様にする。

【0161】また、ゲイト電極の材料としてアルミニウムの他に、金属シリサイド、やチタン、クロム等の金属

を用いることもできる。例えば、陽極酸化可能な導電膜としてタンタル(Ta)と窒化タンタル(TaN)からなる積層膜やタンタル膜単体を用いることができる。この電極表面にTa、O、で示される陽極酸化膜を設けてもよい。なおタンタル(Ta)と窒化タンタル(TaN)は耐熱性がアルミニウム膜よりも高く、陽極酸化膜を形成しなくとも本発明のプロセス温度に耐えうる。

【0162】陽極酸化膜3000～3002上には、窒化珪素膜36、酸化窒化珪素膜37が設けられている。酸化窒化珪素膜37の代わりに酸化珪素膜を形成してもよい。画素TFT、CMOS回路において、陽極酸化膜3000～3002上には、窒化珪素膜36、酸化窒化珪素膜37の積層膜がゲイト絶縁層として機能する。

【0163】酸化窒化珪素膜37上に、実施例1で示したレーザ結晶化工程により、結晶性珪素膜3003が形成される。

【0164】図12(B)に示すリン添加工程が行われて、結晶性珪素膜3003に n^+ 層38、 n^- 層39、 i 層40が形成される。これら各層の詳細な条件は実施例1に示してある。

【0165】次に、CMOS回路のPTFTとなる領域以外をレジストマスク(図示せず)で隠して、イオン注入法又はイオンドーピング法にて、13族から選ばれた元素であるボロンを添加する。本実施例では先程添加したリン濃度の3倍の濃度のボロンを添加して、 p^+ 層41、 p^- 層42を形成する。なお、 p^- 層42の下層に、真性又は実質的に真性の i 層40が残存するように、添加イオン種、加速電圧等の条件を設定する必要がある。 p^+ 層41、 p^- 層42の詳細な条件は実施例5に示してある。(図12(C))

【0166】次に、レーザアニール工程を行い、リン及びボロン添加工程により、非晶質化した結晶性珪素膜3003の結晶性を改善する。また、同時に添加した不純物(リン及びボロン)の活性化も行われる。なお、このレーザアニール工程の前に、RTA処理による脱水素化を行っておくとレーザアニールの際に水素の突沸現象を防ぐことができる。(図12(D))

【0167】次に、結晶性珪素膜3003をエッチングして島状半導体層43、44を形成する。なお、この時、次に形成する電極(第2配線)とゲイト配線との一部を接続するためにコンタクトホールを形成する。

【0168】なお、前述のレーザアニール工程は結晶性珪素膜を島状半導体層43、44に加工してから行うことも可能である。

【0169】そして、導電性を有する薄膜を形成してパターンニングを行い、CMOS回路のソース電極45(NTFT)、46(PTFT)、共通ドレイン電極47を形成する。また、画素TFTのソース電極48、ドレイン電極49を形成する。なお、50で示される電極は、マスクとしてのみ機能するため、本明細書中ではマスク

電極と呼ぶことにする。(図 13 (A))

【0170】図 13 (A) の状態が得られたら、チャンネルエッチング工程を行ってチャンネル形成領域 51~54 を形成する。この時、ドライバ回路の方はどちらの TFT もドレイン側のみにマスクオフセット領域を設けて、両方のソース側にオーバーラップ領域を設けた構成とする。

【0171】また、画素 TFT は図 13 (B) に示す様にソース電極 48 及びドレイン電極 49 と接続する方にマスクオフセット領域を設け、マスク電極 50 の下には 10 オーバーラップ領域を設けた構成とする。

【0172】画素 TFT はソース／ドレイン領域が映像信号の充放電の際に入れ替わるので、TFT 両端の耐圧を高くする必要がある。また、マスク電極 50 の下方の抵抗成分が高いとスイッチング動作が遅くなるので、オーバーラップ領域を設けてキャリアが移動しやすい状態にすることが望ましい。

【0173】なお、本実施例は最も好ましいと思われる一実施例であり、本実施例がこの構造に限定されることはない。実施者は、実施例 1~4 で説明したそれぞれの 20 構造の長所を生かして最適な構造を選択すれば良い。

【0174】次に、酸化窒化珪素膜でなる保護膜 55 を 200 nm の厚さに形成して、その上に有機性樹脂膜でなる層間絶縁膜 56 を形成する。有機性樹脂膜 56 としてはポリイミド、ポリアミド、ポリイミドアミド、アクリルを用いることができる。

【0175】次に、層間絶縁膜 56 に対してコンタクトホールを形成して、透明導電膜（代表的にはITO）から構成される画素電極 57 を形成する。最後に水素化を行って図 13 (C) に示す様なアクティブマトリクス基 30 板が完成する。

【0176】後は、公知のセル組み工程を利用して対向基板とアクティブマトリクス基板との間に液晶層を挟持すればアクティブマトリクス型液晶表示装置を作製することが可能である。

【0177】なお、本実施例に示したアクティブマトリクス基板を作製するに必要なパターニング回数は 7 回である。その工程を以下に示す。

- (1) ゲイト電極パターニング
- (2) ボロン添加領域パターニング
- (3) 島状半導体層パターニング
- (4) ゲイトコンタクトパターニング
- (5) ソース／ドレイン電極パターニング
- (6) ITOコンタクトパターニング
- (7) ITOパターニング

【0178】以上の様に、非常に少ないマスク数でアクティブマトリクス基板を作製することができるため、スループットが大幅に向上する。また、同時に実施例 1~5 に示した構成の TFT を用いて自由に回路設計することができるので、信頼性と再現性の高い表示装置を容 50

易に実現することができる。

【0179】なお、本実施例に示した画素マトリクス回路の一部を上面から見た図を図 14 (A) に示す。なお、図 14 (A) では基本的に本実施例で用いた符号を付してある。従って必要箇所のみを説明することとする。

【0180】図 14 (A) に示す図を A-A' で切断した断面図が図 14 (B) である。図 13 (C) では図示しなかったが、図 14 (B) に示す様にゲイト配線と平行に、ゲイト配線と同じアルミニウム膜でなる容量配線 58 が形成され、その表面が陽極酸化されて、陽極酸化膜 3005 が形成されている。

【0181】この容量配線 58 はドレイン電極 50 と重畳する領域（点線で囲まれた領域）において補助容量（Cs）を形成する。この時、補助容量の誘電体はゲイト絶縁層 3005、36、37 が担う。なお、補助容量の構造は本実施例に限定されるものではない。

【0182】〔実施例 11〕 実施例 10 では、レーザー照射により結晶化した半導体膜を用いて、同一基板上にドライバ回路（周辺駆動回路）と画素マトリクス回路とを一体形成した例を示した。本実施例では、RTA により結晶化した半導体膜を用いて半導体膜を結晶化する場合を示す。

【0183】図 15 に本実施例の作製工程を示す。図 15 の符号は、図 12 の符号を準用する。酸化窒化珪素膜 37 上に、厚さ 100~600 nm の非晶質珪素膜を形成する。ここでは、膜厚を 200nm とする。次に、実施例 9 で示した、RTA による固相成長により非晶質珪素膜を結晶化させて、結晶性珪素膜 3004 を得る。

【0184】本実施例の結晶化工程は、ハロゲンランプ（ピーク波長 1.15 μm 、波長 0.4~4 μm ）を用いる。またランプ光を 10mm 幅の線状集光して、基板を走査してその走査速度により、照射時間を 10~60 秒、典型的には 15~30 秒となるように調節する。また、ハロゲンランプの出力を調整して、非晶質半導体膜を 700~1000℃ に加熱するようにする。ここでは、走査速度 0.5mm/sec（照射時間 20 秒に相当）とし、ハロゲンランプの出力を 7.7W として、非晶質珪素膜を 920℃ 程度に加熱して、結晶化させて、結晶性珪素膜 3004 を得る。 40

【0185】RTA による結晶化工程の後、エキシマレーザーや YAG レーザー等のレーザー光やそれと同等な強光を照射して、結晶性珪素膜 3004 をアニールするとよい。このアニールによって、結晶性珪素膜 3004 に残存する非晶質成分が結晶化され、結晶性が助長される。

【0186】電気炉による固相成長での結晶化は数 10 時間を要するが、RTA による結晶化工程は処理時間が数 10 秒程度であるので、スループットの向上が図れ、更にガラス基板に与える熱的ダメージが小さいという利

点がある。

【0187】RTAによる結晶化工程以降の工程は実施例10と同様に実施すればよい。図15(B)に示すリン添加工程が行われて、結晶性半導体膜3003に n^+ 層38、 n^- 層39、 i 層40が形成される。次に図15(C)に示すボロンを添加工程において p^{++} 層41、 p^- 層42を形成する。

【0188】次に、図15(D)に示すレーザーアニール工程を行い、リン及びボロン添加工程により、非晶質化した結晶性半導体膜3004の結晶性を改善すると同時に、添加した不純物(リン及びボロン)の活性化も行われる。なお、このレーザーアニール工程の前に、RTA処理による脱水素化を行っておくとレーザーアニールの際に水素の突沸現象を防ぐことができる。

【0189】図15(D)に示す状態が得られたら、図13、14に示す実施例10の作製工程に従って、ドライバ回路と画素マトリクス回路とを一体形成したアクティブマトリクス型表示装置を作製する。

【0190】〔実施例12〕 本実施例では、実施例10、11に示した工程とは異なる構成でアクティブマトリクス型表示装置を作製する場合の例を示す。

【0191】本実施例の特徴は、まず、レーザー光による熔融結晶化工程、又はRTAによる固相成長による結晶化工程の後、レーザーアニールによる結晶性の改善工程を行わない点にある。即ち、結晶化後はそのままリンの添加工程、触媒元素のゲッタリング工程等を実施例10と同様に行う。

【0192】そして、本実施例の特徴はチャネル形成領域の結晶性改善工程(不純物の活性化、再結晶化等)を図16に示す様に保護膜55を設けた後で行う点にある。即ち、レーザー光は酸化窒化珪素膜でなる保護膜55を介して照射され、自己整合的にチャネル形成領域51~54に対して行われる。

【0193】この様に図16の状態ではレーザーアニールを行うと、ソース/ドレイン領域からのリンやボロンといった不純物の逆拡散(Out Diffusion)を抑えることができる。また、レーザー光のパワー(レーザーエネルギー)も半分位で済むという利点を得ることができる。

【0194】なお、本実施例は図面に示された構造に限定されることはない。実施者は、実施例1~4で説明したそれぞれのTFT構造の長所を生かして最適な構造を選択して回路設計を行えば良い。また、本実施例は他の全ての実施例に示される構成との組み合わせが可能である。

【0195】〔実施例13〕 本実施例では、実施例12と同様に、実施例10、11の結晶化直後のレーザーアニール工程を省略した場合の例を示す。まず、結晶化工程後はイオンドーピング法を用いてリンを添加し n^+ 層38と n^- 層39を形成する。(図12(B)、図15(B)参照)。次にイオンドーピング法によりボロン

を添加してPTFTとなる半導体層上に p^{++} 層41、 p^- 層42を形成する(図12(B)、図15(B)参照)。

【0196】この状態でRTAによるアニール工程を行う。本実施例ではRTAによるアニール処理によって添加された不純物(リン及びボロン)の活性化と半導体層の脱水素化(質量分離をしないイオンドーピングではリンやボロンと一緒に水素も打ち込まれてしまうため)を行っている。(図17(A))

【0197】次に、レーザーアニール工程を行い、不純物の添加工程で非晶質化した半導体層を再結晶化させ、結晶性を改善する。なお、このレーザーアニール工程は半導体層をエッチングして島状半導体層に加工してから行っても良い。

【0198】後の工程は実施例10に従えば良い。なお、本実施例は図面に示された構造に限定されることはない。実施者は、実施例1~4で説明したそれぞれのTFT構造の長所を生かして最適な構造を選択して回路設計を行えば良い。また、本実施例は他の全ての実施例に示される構成との組み合わせが可能である。

【0199】〔実施例14〕 本実施例では実施例10に示した作製工程を基本として、反射型液晶表示装置を作製する場合の例を示す。ここで反射型液晶表示装置の画素マトリクス回路の任意の画素の上面図を図18(A)に示す。

【0200】なお、実施例10で説明した部分と同じところは同一の符号を付して表し、詳細な説明は省略する。また、図18(A)をB-B'で切断した断面図を図18(B)に示す。

【0201】まず、実施例10と異なる点は容量配線59が画素内全面に広がっている点である。反射型は実施例10に示した様な透過型と違って、開口率を高くするという要求がないため、画素電極61の裏側は全て自由に使えるのである。

【0202】また、本実施例の場合、ドレイン電極60をも画素内全面に広げ、可能な限り広い範囲で容量配線59と重畳する様に配置する。こうすることで画素内の殆どを補助容量として利用することができ、大容量を確保することができる。補助容量の誘電体は、陽極酸化膜3004、窒化珪素膜36、酸化窒化珪素膜37となる。

【0203】画素電極61は反射性電極であり、反射率の高いアルミニウムまたはアルミニウムを主成分とする材料を用いるのが好ましい。また、本実施例の液晶表示装置を投影型表示装置に利用するなら画素電極表面は平坦であることが好ましい。逆に直視型表示装置に用いるなら表面に凹凸をつけて乱反射率を増すなどして視野角を広げる工夫が必要である。

【0204】なお、本実施例は図面に示された構造に限定されることはない。実施者は、実施例1~4で説明し

たそれぞれのTFT構造の長所を生かして最適な構造を選択して回路設計を行えば良い。また、本実施例は他の全ての実施例に示される構成との組み合わせが可能である。

【0205】〔実施例15〕 本実施例では、実施例10に示した液晶表示装置におけるBM（ブラックマトリクス）の構成に関する説明を行う。

【0206】まず、実施例10の作製工程に従って層間絶縁膜56の形成までを行う。本実施例では層間絶縁膜56として感光性を有するアクリル樹脂を用いる。そして、層間絶縁膜56をパターンニングした後、ハーフエッチングして凹部65、66を形成する。（図19

(A)）

【0207】図19（A）の状態を得たら、黒色樹脂（図示せず）を全面に形成する。黒色樹脂としてはグラファイト、カーボン、色素等を含んだ有機性樹脂膜を用いることができる。有機性樹脂膜はポリイミドやアクリル等が用いられる。本実施例ではグラファイトを分散させた感光性アクリル樹脂を利用する。

【0208】こうして黒色樹脂を形成したら、凹部65、66を形成した領域のみを選択的に露光して、その部分のみに黒色樹脂を残すことが可能である。その後、酸素プラズマ雰囲気中でアッシングを行い、平坦性を高めることも有効である。

【0209】こうして黒色樹脂からなるブラックマトリクス67、68を形成したら、次にITO膜で構成される画素電極69を形成する。本実施例では画素電極69の端部とブラックマトリクス68の端部とが重畳する（画素電極の端面がBMより内側にある）様に画素電極69をパターンニングする。

【0210】以上の様にして図19（B）に示す様な構造のアクティブマトリクス基板が完成する。後は公知のセル組み工程を行えば、液晶表示装置を作製することが可能である。本実施例の様なブラックマトリクスは他の配線との間で寄生容量を形成しないという利点がある。

【0211】なお、本実施例は図面に示された構造に限定されることはない。実施者は、実施例1～4で説明したそれぞれのTFT構造の長所を生かして最適な構造を選択して回路設計を行えば良い。また、本実施例は他の全ての実施例に示される構成との組み合わせが可能である。

【0212】〔実施例16〕 本実施例では実施例15とは異なるブラックマトリクスを用いた場合の例について説明する。具体的にはブラックマトリクスとして、導電性膜を用いる場合の例を示す。

【0213】図20において、56は有機性樹脂膜からなる層間絶縁膜、71～74は導電性膜からなるブラックマトリクスまたはブラックマトリクスを兼ねる配線パターンである。導電性膜としては、チタン膜、クロム膜、チタンとアルミニウムの積層膜などを用いることが

できる。

【0214】また、本実施例のブラックマトリクスは導電性であるため、ブラックマトリクスとしての役割以外に様々な活用方法がある。まず、71で示されるパターンはコモン電位（接地電位）に固定されたブラックマトリクスである。また、72で示されるパターンはCMOS回路のドレイン電極と接続し、取り出し配線として利用される。この様に本実施例を用いれば多層配線構造が容易に実現できる。

【0215】また、73で示されるパターンはCNMOS回路のソース電極と接続しており、接続配線として機能とブラックマトリクスとしての機能とを有している。また、74で示されるパターンは画素マトリクス回路に配置されるブラックマトリクスであり、基本的に配線やTFT上に設けられる。

【0216】そして、ブラックマトリクス（またはブラックマトリクスを兼ねる配線）71～74の上には再び層間絶縁膜75が設けられる。この層間絶縁膜75は酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、有機性樹脂膜またはそれらの積層膜で構成される。この層間絶縁膜75は後に補助容量の誘電体として機能する。

【0217】こうして層間絶縁膜75を形成したら、コンタクトホールを形成してITOでなる画素電極76を形成する。なお、画素マトリクス回路内ではブラックマトリクス74と画素電極76との間で補助容量77が形成される。

【0218】ここで画素マトリクス回路のブラックマトリクスの配置例を図21に示す。図21は図14（A）に示される構造に対してブラックマトリクス78を重ね合わせた場合の配置例である。なお、79で示される太線が画素電極、80は画素電極79と下方のドレイン電極とのコンタクト部である。

【0219】ブラックマトリクス78は基本的に配線やTFT上を覆い、映像表示領域81やコンタクト部80にのみ開口窓を有する。本実施例の様な透過型液晶表示装置においては、ブラックマトリクスの占有面積を減らし、映像表示領域81の面積を広げる（開口率を向上する）ことが最重要課題となる。

【0220】なお、本実施例は図面に示された構造に限定されることはない。実施者は、実施例1～4で説明したそれぞれのTFT構造の長所を生かして最適な構造を選択して回路設計を行えば良い。また、本実施例は他の全ての実施例に示される構成との組み合わせが可能である。

【0221】〔実施例17〕 本実施例では、実施例10に示した構造とは異なるTFT構造でアクティブマトリクス基板を作製した場合の例を説明する。

【0222】図22に示す構造において最も重要な点は、各半導体層（ソース／ドレイン領域）の最上部は第1の導電層（ n' 領域または p'' 領域）であり、各導電

層は一旦保護膜 55 及び層間絶縁膜 56 で覆われ、その上で取り出し電極 81~85 が電氣的に接続している点にある。

【0223】この様な構造とする場合、チャネル形成領域を形成する際のチャネルエッチング工程はレジストマスクを用いて行うことになる。その上で保護膜 55 と層間絶縁膜 56 を形成して、取り出し電極 87~91 を形成する。

【0224】本実施例の構造の様に、各取り出し電極（ソース／ドレイン電極又は引回し配線として機能する）87~91 を層間絶縁膜 56 によってゲイト電極から引き離すことでソース／ドレイン電極とゲイト電極との間の寄生容量をさらに低減することが可能である。層間絶縁膜 56 として、比誘電率の小さい有機性樹脂材料を用いればさらに効果的である。

【0225】なお、本実施例の構成は、実施例 1~4 で示した TFT に対しても適用することが可能であり、無論、他の全ての実施例と組み合わせることが可能である。また、本実施例は図面に示された構造に限定されることはない。実施者は、実施例 1~4 で説明したそれぞれの TFT 構造の長所を生かして最適な構造を選択して回路設計を行えば良い。

【0226】〔実施例 18〕 本実施例では、実施例 10~18 に示した構成のアクティブマトリクス基板において、外部端子との接続構造に関する説明を行う。なお、図 23 は外部端子（代表的にはフレキシブルプリントサーキット（FPC））と接続する端子部（以下、FPC 取付け部と呼ぶ）の拡大図であってアクティブマトリクス基板の端子部に位置する。

【0227】また、図 23 おいて、101 はガラス基板、86 は絶縁層であり、実際には図 1（A）に示される下地膜 102、窒化珪素膜 104 及び酸化窒化珪素膜 105 との積層構造で構成される。また、その上には第 2 の配線層 87 が形成されている。この第 2 の配線層 87 は外部端子からの信号をソース／ドレイン電極やゲイト電極等へ伝達するための接続配線層である。

【0228】本実施例の特徴は、まず、第 2 の配線層 87 が直接ガラス基板 101 に接している点である。この構造を実現するためには、実施例 1 で説明した 3 回目のパターニング工程において、図 23 に示される FPC 取付け部に存在する絶縁層 86 を完全に除去する必要がある。第 2 の配線層 87 の下地を固いガラス基板としておくと FPC をしっかりと圧着することができる。

【0229】また、FPC 取付け部においては、その後の工程で層間絶縁膜 56 も部分的に除去し、その上の ITO 膜 57 が第 2 の配線層 86 と接触する様な構造とする。この ITO 膜 57 は少なくとも FPC 取付け部で第 2 の配線層 86 上に積層されていれば良く、場合によっては電極パッドとして FPC 取付け部のみに独立のパターンとして形成しても良い。

【0230】この ITO 膜 57 は後に異方性導電膜 88 を形成した際に異方性導電膜中に含まれる導電性粒子（金コーティングしたシリカガラスなど）が ITO 膜にめり込みオーミック接触を良好なものとするためのバッファ層として機能する。

【0231】そして、FPC 取付け部を図 23 の様な構造としたら、異方性導電膜 88 を用いて FPC 端子 89 を圧着する。こうして図 23 に示す様な接続構造を実現することができる。この様な接続構造を実施例 10~20 に示したアクティブマトリクス基板に適用すると外部端子との良好な電気接続が可能となる。

【0232】〔実施例 19〕 本実施例では、大型ガラス基板上に本願発明の TFT を形成するにあたってパターニングの効率を改善するための工夫について説明する。

【0233】大型ガラス基板上に微細な半導体回路を作製する場合、ガラス基板の反りや縮みによるパターニング誤差が問題となる。そのため、ステッパと呼ばれる露光装置を用いた露光法が注目されている。ステッパ露光では、1 枚のレチクル内のある一部のみを部分的に露光することが可能である。

【0234】本実施例の場合、1 枚のレチクルに対してドライバー回路、画素マトリクス回路といった必要な回路パターンを部分毎に形成する。また、この時、同一構造の繰り返しとなる領域は同一回路パターンの繰り返し露光で形成する。

【0235】図 24 において、A、C、G、I パターンはドライバー回路の端部を作製するための回路パターンである。また、B、H パターンは水平走査用ドライバー回路の繰り返し回路パターン、D、F パターンは垂直走査用ドライバー回路の繰り返し回路パターンである。また、E パターンは画素マトリクス回路の繰り返し回路パターンである。

【0236】この様に、同一構造の回路が連続的に接続して構成される様なドライバー回路や画素マトリクス回路は、端部のみは専用の回路パターンで形成して、内部は完全に同一回路パターンを繰り返し利用して全体のパターン形成を行う。

【0237】この方式を用いると、回路パターンを共用できるため、1 枚のレチクルに書き込む回路パターンが少なくなり、レチクルの縮小化が図れる。また、1 枚のレチクルを使い回すことで、どの様な大型基板に対しても対応できるので、マスクチェンジする時間が省かれ、スループットが向上する。

【0238】なお、例えば画素マトリクス回路が SXGA である場合、行方向には 1280 画素が並び、列方向には 1024 画素が並ぶ。従って、前述の E パターンの行方向に 256 個分の画素に相当するパターン回路を書き込んでおけば、行方向は 5 回の繰り返し露光で終了する。また、列方向に 256 個分の画素に相当するパターン回路を書き

込んでおけば、列方向は4回の繰り返し露光で終了する。

【0239】この様に、行方向及び列方向の繰り返し露光回数をそれぞれ n 、 m とし、行方向及び列方向の画素数をそれぞれ X 、 Y とすると、画素マトリクス回路を形成するための回路パターン内には行方向に X/n 、列方向に Y/m の画素パターンを書き込んでおく必要がある。この規則性を利用すれば、ATV（アドバンスTV）の様な1920×1080画素といった高精細なディスプレイも容易に実現することができる。

【0240】〔実施例20〕 本実施例では実施例10～17に示した構成のアクティブマトリクス基板を用いてAMLCD（アクティブマトリクス型液晶表示装置）を構成した場合の例について説明する。なお、本実施例のAMLCDは駆動回路及び画素マトリクス回路を同一基板上に作製された逆スタガ型TFTで構成している。また、駆動回路はCMOS回路を基本として回路構成がなされているので消費電力が低い。

【0241】ここで本実施例のAMLCDの外観を図25に示す。図25（A）において、1101はアクティブマトリクス基板であり、その上には本願発明のTFTによって画素マトリクス回路1102、ソース側駆動回路1103、ゲート側駆動回路1104が構成されている。また、1105は対向基板である。

【0242】本実施例のAMLCDはアクティブマトリクス基板1101と対向基板1105とが端面を揃えて貼り合わされている。ただし、ある一部だけは対向基板1105を取り除き、露出したアクティブマトリクス基板に対してFPC（フレキシブル・プリント・サーキット）1106を接続してある。このFPC1106によ

って外部信号を回路内部へと伝達する。

【0243】また、FPC1106を取り付ける面を利用してICチップ1107、1108が取り付けられている。これらのICチップはビデオ信号の処理回路、タイミングパルス発生回路、 γ 補正回路、メモリ回路、演算回路など、様々な回路をシリコン基板上に形成して構成される。図8では2個取り付けられているが、1個でも良いし、さらに複数個であっても良い。

【0244】また、図25（B）の様な構成もとりうる。図25（B）において図25（A）と同一の部分は同じ符号を付してある。ここでは図25（A）でICチップが行っていた信号処理を、同一基板上にTFTでもって形成されたロジック回路1109によって行う例を示している。

【0245】この場合、ロジック回路1109も駆動回路1103、1104と同様にCMOS回路を基本として構成され、本願発明を利用した逆スタガ型TFTで作製することが可能である。

【0246】また、本願発明を利用したTFTはAMLCDのスイッチング素子として以外にも、EL（エレクトロルミネッセンス）表示装置のスイッチング素子として利用することも可能である。また、イメージセンサ等の回路を本願発明のボトムゲート型TFTで構成することもできる。

【0247】以上の様に、本願発明を利用したTFTでもって様々な電気光学装置を作製することが可能である。なお、本明細書中において電気光学装置とは、電気的信号を光学的信号に変換する装置またはその逆を行う装置と定義する。

10 【0248】また、本実施例のAMLCDを作製するにあたってブラックマトリクスは対向基板側に設けても良いし、アクティブマトリクス基板に設ける構成（BM on TFT）としても良い。

【0249】また、カラーフィルターを用いてカラー表示を行っても良いし、ECB（電界制御複屈折）モード、GH（ゲストホスト）モードなどで液晶を駆動し、カラーフィルターを用いない構成としても良い。

20 【0250】また、特開昭8-15686号公報に記載された技術の様に、マイクロレンズアレイを用いる構成にしても良い。

【0251】〔実施例21〕 実施例20に示したAMLCDは、様々な電子機器のディスプレイとして利用される。なお、本実施例に挙げる電子機器とは、AMLCDに代表される電気光学装置を搭載した製品と定義する。

30 【0252】その様な電子機器としては、ビデオカメラ、スチルカメラ、プロジェクター、プロジェクションTV、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ（ノート型を含む）、携帯情報端末（モバイルコンピュータ、携帯電話等）などが挙げられる。それらの一例を図26に示す。

【0253】図26（A）は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明は表示装置2004等に適用することができる。

【0254】図26（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明は表示装置2102に適用することができる。

【0255】図26（C）はモバイルコンピュータ（モバイルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は表示装置2205等に適用できる。

50 【0256】図26（D）はヘッドマウントディスプレイであり、本体2301、表示装置2302、バンド部2303で構成される。本発明は表示装置2302に適用することができる。

【0257】図26(E)はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403に適用することができる。

【0258】図26(F)はフロント型プロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本発明は表示装置2503に適用することができる。

【0259】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、他にも電光掲示盤、宣伝広告用ディスプレイなどにも活用することができる。

【0260】〔実施例22〕 本実施例では、本願発明の逆スタガ型TFTを用いて構成した回路の構成例について説明する。ここではまず、シフトレジスタ回路を構成した場合の例について図27を用いて説明する。なお、本実施例では実施例10に示した構成の層構造を採用している。

【0261】また、図27(A)はシフトレジスタ回路の任意の1段のみを取り出した回路パターンであり、図27(B)はその等価回路図である。本実施例では図27(A)と図27(B)との位置関係が概ね対応しているので、図27(A)の説明において、必要に応じて図27(B)の符号を参照する。

【0262】図27(A)において、TFT(a)～TFT(d)及びTFT(g)～TFT(j)で構成される回路はクロックドインバータ回路、TFT(e)、TFT(g)で構成される回路はインバータ回路である。なお、TFT(e)はダブルゲイト構造のTFTを用いている。

【0263】また、1201はCLK線(クロック信号線)、1202は反転CLK線(反転クロック信号線)、1203はGND配線(グラウンド線)、1204はVdd線(電源線)である。これらの左上がりの斜線模様で示される配線は全て第2の配線層(図13(A)の45～50で示される)である。

【0264】また、例えば1205で示される配線はTFT(a)のゲイト電極として機能する。この様に、右上がりの斜線模様で示される配線層は全て第1の配線層(図12(A)の32～35で示される)であり、これら第1の配線層と半導体層とが重なる部分を特にゲイト電極と呼ぶ。

【0265】本実施例では、TFTのソース側にはオーバーラップ領域(図中、ovと示す)を設けた構成とし、ドレイン側にはマスクオフセット領域(図中、ofと示す)を設けた構成としている。従って、図27(B)においてTFT(a)～(d)で構成されるクロックドインバータ回路を例にとると、上から順にov/of/ov/of

/of/of/of/ovとなる。

【0266】即ち、TFT(a)と(b)の部分では実施例10で説明した画素TFTのダブルゲイト構造とはほぼ同じ構成となっているため、ov/of/ov/ofの様に繰り返される。また、TFT(b)と(c)の部分ではNTFTとPTFTとでドレイン電極を共通化したCMOS構造を構成しているので、実施例5で説明した様にov/of/of/ovの様な構成となる。

【0267】他の回路も基本的には同様であり、TFT(e)はダブルゲイト構造であるのでGND線1203と接続する側から順に、ov/of/ov/ofの様な構成となる様に各TFT構造が決定されている。

【0268】以上の様な構成によって、動作速度を落とすことなく耐圧特性を高めた信頼性の高い半導体回路を構成することができる。また、その様な半導体回路を用いることで電気光学装置の信頼性を高めることが可能である。

【0269】〔実施例23〕 本実施例では、本願発明の逆スタガ型TFTを用いて構成した回路の構成例について説明する。まず、バッファ回路(図面左)及びアナログスイッチ回路(図面右)を構成した場合の例について図28を用いて説明する。なお、本実施例では実施例20に示した構成の層構造を採用している。また、図28(A)は回路パターンであり、図28(B)はその等価回路図である。

【0270】図28(A)の回路パターンにおいて、TFT(a')～(h')が本願発明を利用したTFTであり、TFT(a')、(b')及びTFT(c')、(d')でそれぞれ一つのバッファ回路を構成している。また、バッファ回路は画素マトリクス回路と同様に液晶表示装置内では最大の動作電圧で動作するので高耐圧特性が要求される。

【0271】また、TFT(e')、(f')及びTFT(g')、(h')PTFT)のペアでそれぞれ一つのアナログスイッチ回路を構成している。アナログスイッチ回路もまた画素マトリクス回路と同様の動作電圧で動作するので高耐圧特性が要求される。

【0272】ここでTFT(a')及び(b')で構成されるバッファ回路に注目して説明する。1301はTFT(a')のソース電極(Vdd線)、1302はTFT(b')のソース電極(GND線)、1303はTFT(a')及びTFT(b')の共通ドレイン電極(出力信号線)、1304は共通ゲイト電極(入力信号線)である。

【0273】また、1305はドレイン領域側の第1導電層(n'層)、1306はソース側の第1導電層(n'層)、1307は薄膜化されたi層である。なお、TFT(b')の方も同様の構造であり、n'層の代わりにp'層が設けられている。

【0274】このバッファ回路は高耐圧特性を得るため

に実施例 5 に示した構成を採用している。即ち、ソース側にはオーバーラップ領域 (ov) が形成され、ドレイン側にはマスクオフセット領域 (of) が形成されている。こうすることでドレイン領域側のみ耐圧を高め、ソース領域側は抵抗成分を減らすことができる。

【0275】なお、この構成は TFT (c') 及び TFT (d') で構成されるバッファ回路においても同様である。

【0276】次に、TFT (e') 及び TFT (f') で構成されるアナログスイッチ回路に注目して説明する。上述のバッファ回路のゲート電極 1204 は TFT (e') のゲート電極と接続し、TFT (a') 及び TFT (b') の共通ドレイン電極 1203 は TFT (f') のゲート電極に接続する。

【0277】また、1208、1209 はアナログスイッチ回路の共通ソース電極 (入力データ信号線) であり、1209 は共通ドレイン電極 (出力データ信号線) である。ただし、1208 は TFT (e') 及び TFT (f') に対応し、1209 は TFT (g') 及び TFT (h') に対応する。これら 1208 及び 1209 はそれぞれ異なる映像信号を伝達する。

【0278】この時、TFT (e') または TFT (f') のどちらか一方がオン状態にあれば入力データ信号線 1208 から送られたデータ信号 (映像信号) が、出力データ信号線 1209 を通って画素マトリクス回路へと送られる。従って、アナログスイッチ回路を構成する TFT (e') 及び TFT (f') の場合にもドレイン側にはマスクオフセット領域が設けられ、ソース側にはオーバーラップ領域が設けられている。

【0279】なお、この構成は TFT (g') 及び TFT (h') で構成されるバッファ回路においても同様である。

【0280】以上の様に、耐圧特性を必要とする半導体回路に対して本願発明の構成を利用することで、信頼性の高い半導体回路を実現できる。そのことは、信頼性の高い電気光学装置を作製するためにも重要である。

【0281】

【発明の効果】本願発明を実施することで、非常に少ないマスク数 (典型的には 4 枚) で量産性の高い TFT を作製することができる。

【0282】また、チャネル形成領域とソース/ドレイン電極間に、特性バラツキの小さい電界緩和層 (LDD 領域、マスクオフセット領域、厚さオフセット領域等) が形成できるので、信頼性が高く且つ再現性の高い TFT を実現することが可能である。

【0283】また、その様な TFT でもって基板上に形成された半導体回路やその様な半導体回路と液晶層等を組み合わせた電気光学装置、さらには電気光学装置を表示ディスプレイとして搭載した電子機器に至るまで、本願発明はあらゆる形態の半導体装置に対して適用可能で

ある。

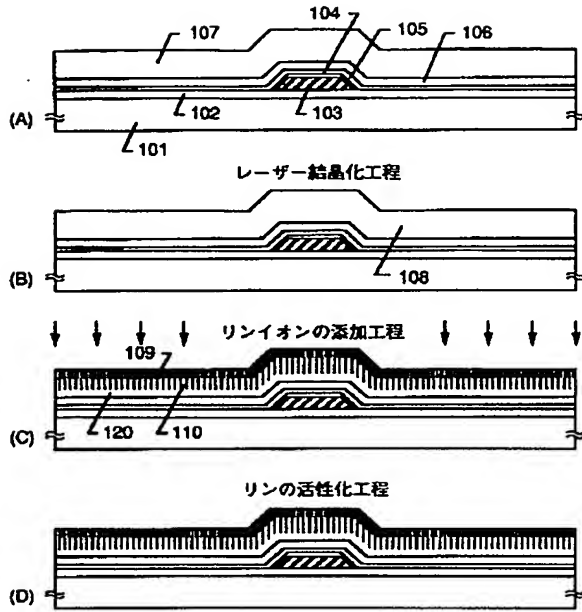
【図面の簡単な説明】

- 【図 1】 薄膜トランジスタの作製工程を示す図。
- 【図 2】 薄膜トランジスタの作製工程を示す図。
- 【図 3】 薄膜トランジスタの構成を示す拡大図。
- 【図 4】 膜中の濃度プロファイルを示す図。
- 【図 5】 薄膜トランジスタの構成を示す図。
- 【図 6】 薄膜トランジスタの構成を示す図。
- 【図 7】 薄膜トランジスタの構成を示す図。
- 【図 8】 CMOS 回路の構成を示す図。
- 【図 9】 膜中の濃度プロファイルを示す図。
- 【図 10】 薄膜トランジスタの構成を示す図。
- 【図 11】 CMOS 回路の構成を示す図。
- 【図 12】 半導体回路の作製工程を示す図。
- 【図 13】 半導体回路の作製工程を示す図。
- 【図 14】 画素マトリクス回路の構成を示す図。
- 【図 15】 半導体回路の作製工程を示す図。
- 【図 16】 半導体回路の作製工程を示す図。
- 【図 17】 半導体回路の作製工程を示す図。
- 【図 18】 画素マトリクス回路の構成を示す図。
- 【図 19】 画素 TFT の構成を示す図。
- 【図 20】 画素 TFT の構成を示す図。
- 【図 21】 画素マトリクス回路の構成を示す図。
- 【図 22】 画素 TFT の構成を示す図。
- 【図 23】 外部端子取付け部の構成を示す図。
- 【図 24】 半導体回路の露光処理方法に関する構成を示す図。
- 【図 25】 電気光学装置の構成を示す図。
- 【図 26】 電子機器の構成を示す図。
- 【図 27】 半導体回路のパターン構成を示す図。
- 【図 28】 半導体回路のパターン構成を示す図。

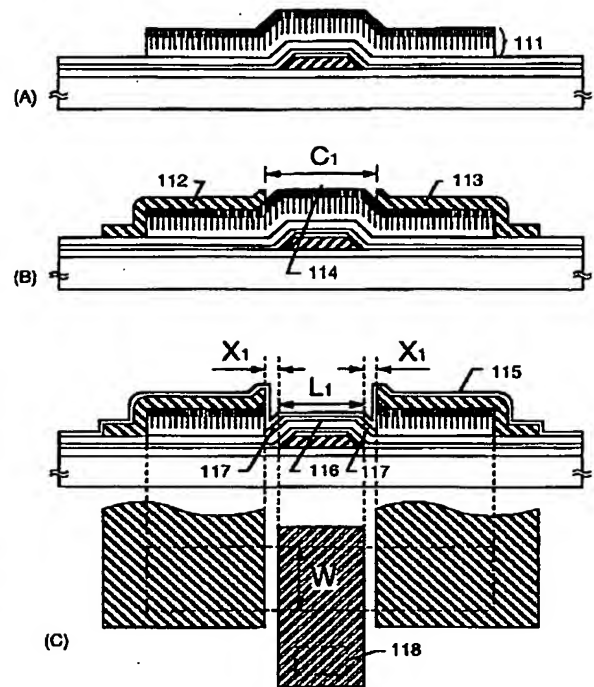
【符号の説明】

- 101 基板
- 102 下地膜
- 103 ゲート電極
- 104 陽極酸化膜
- 105 窒化珪素膜
- 106 酸化窒化珪素膜
- 107 非晶質半導体膜
- 108 結晶性半導体膜
- 109 n⁺ 層 (第 1 導電層)
- 110 n⁻ 層 (第 2 導電層)
- 111 島状半導体層
- 112 ソース電極
- 113 ドレイン電極
- 114 チャネルエッチング領域
- 115 保護膜
- 116 チャネル形成領域
- 117 マスクオフセット領域
- 118 コンタクトホール

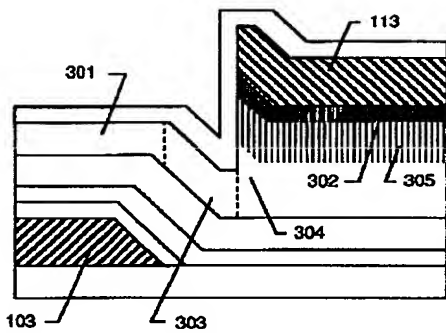
【図 1】



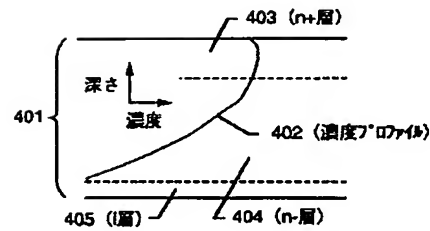
【図 2】



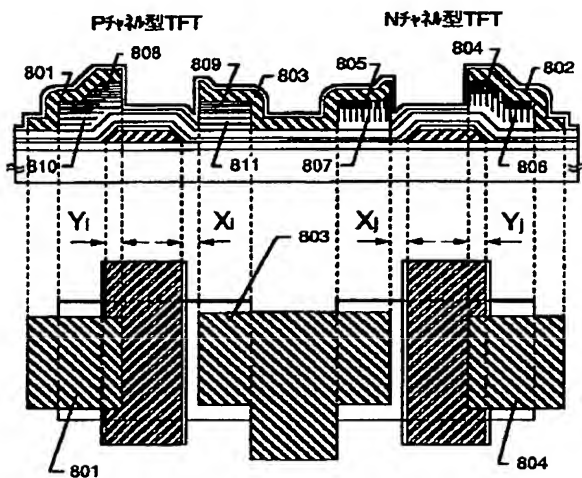
【図 3】



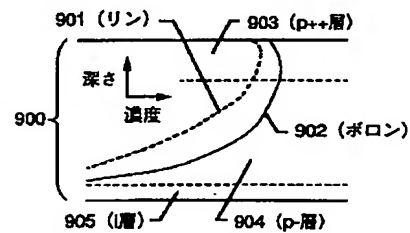
【図 4】



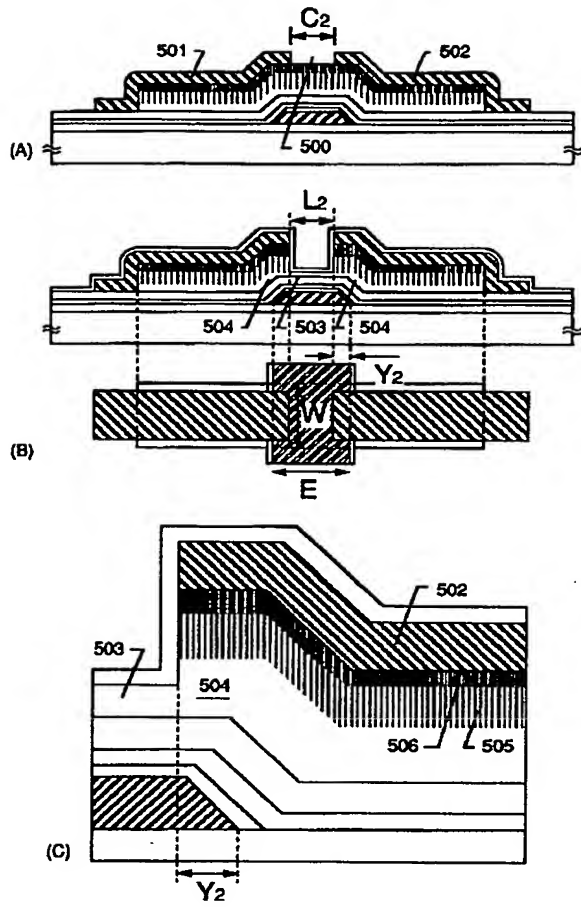
【図 8】



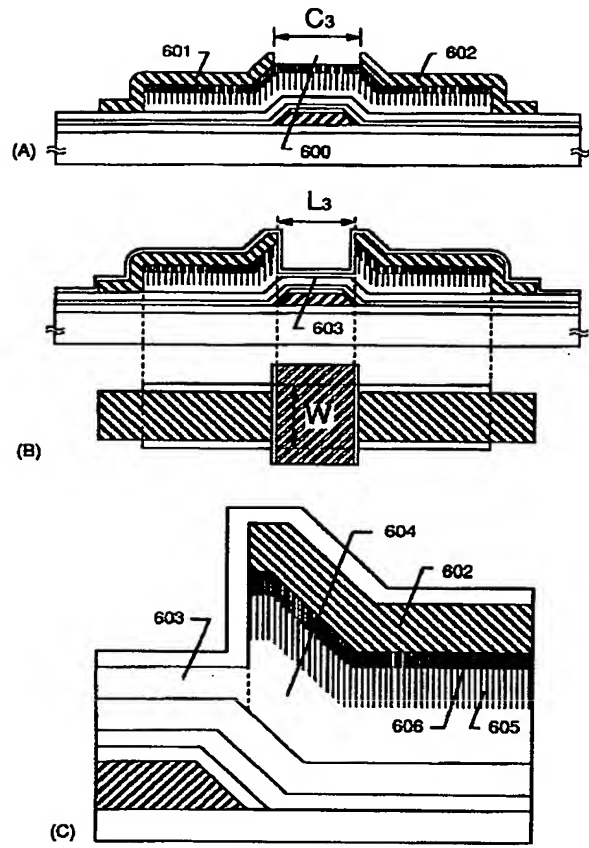
【図 9】



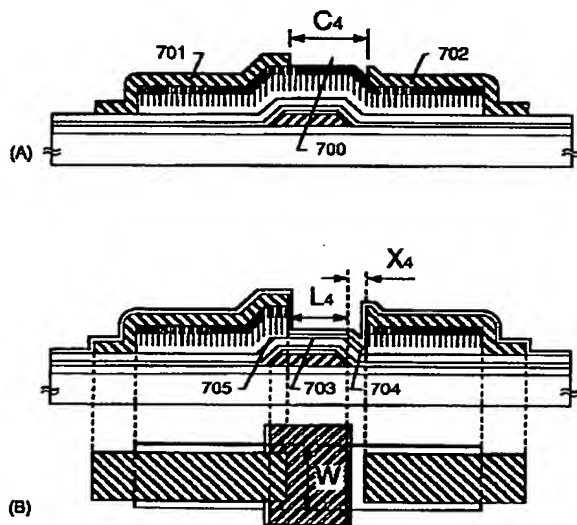
【図 5】



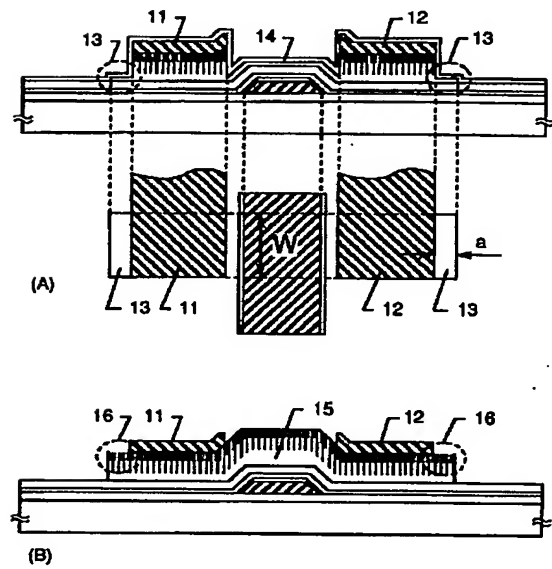
【図 6】



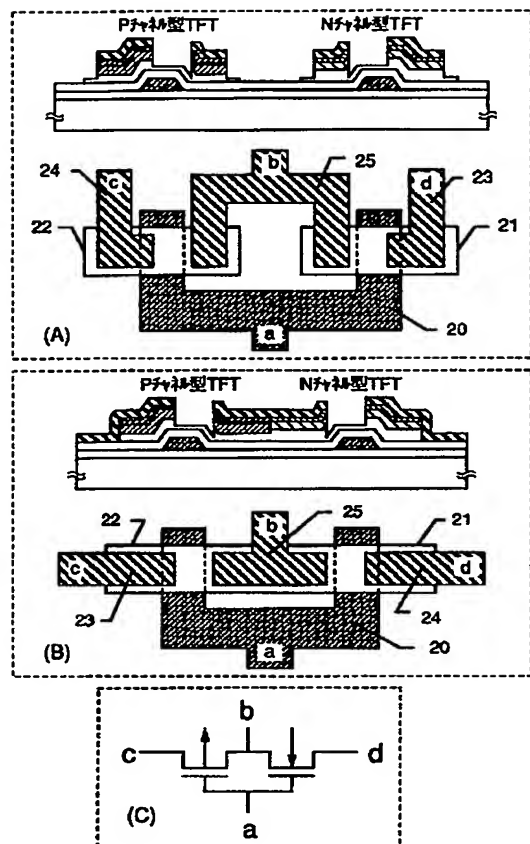
【図 7】



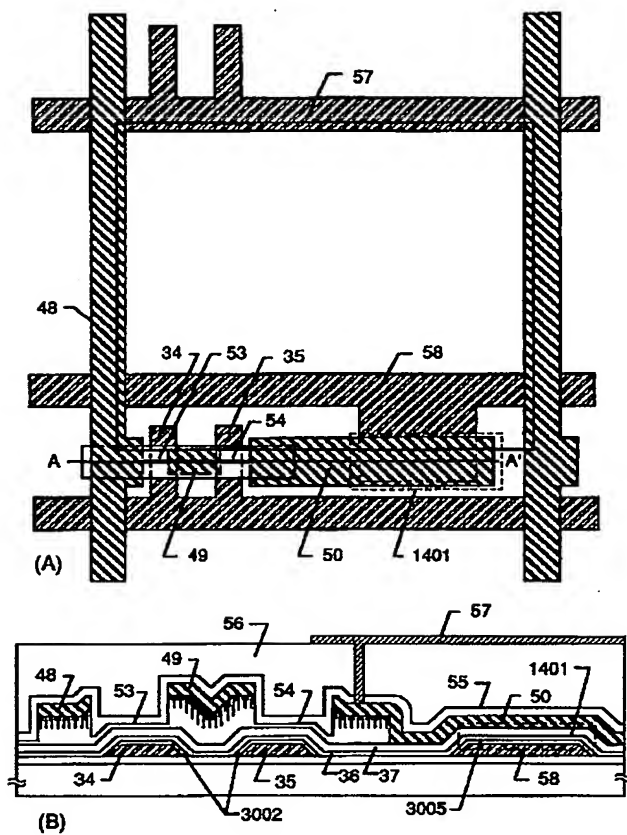
【図 10】



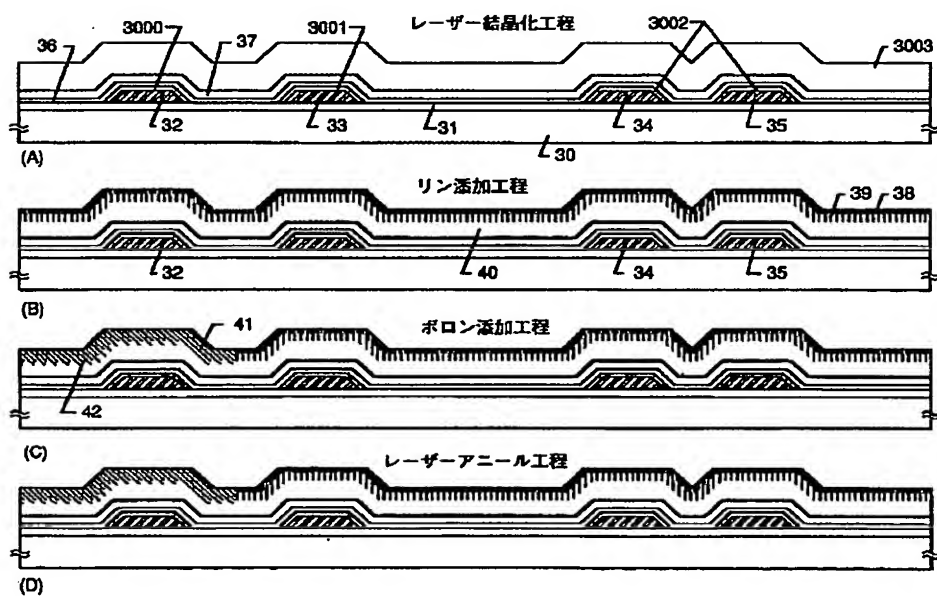
【图 1 1】



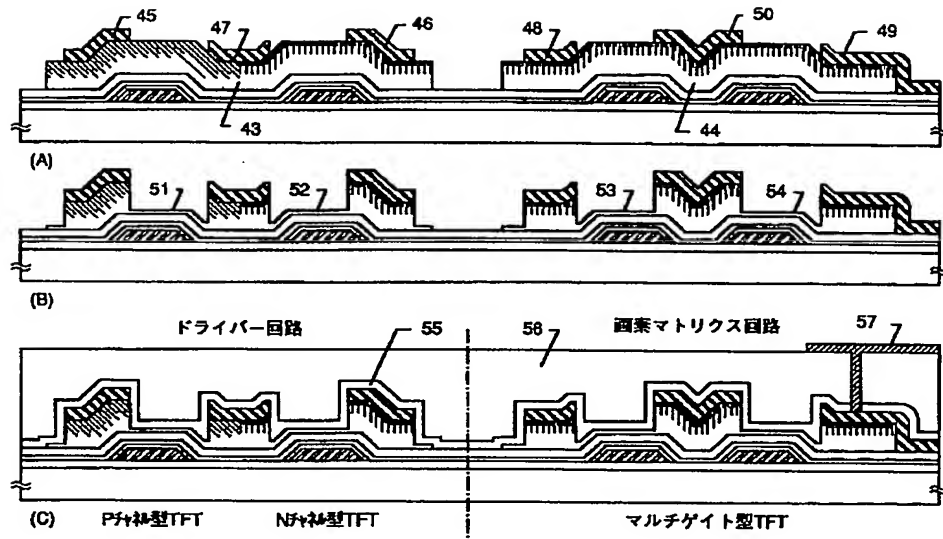
【图 14】



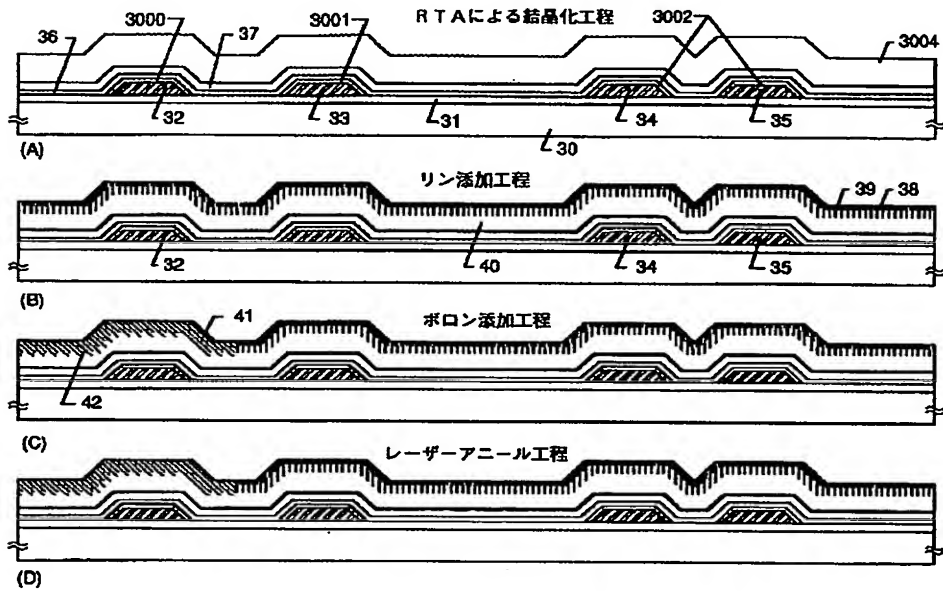
【图 12】



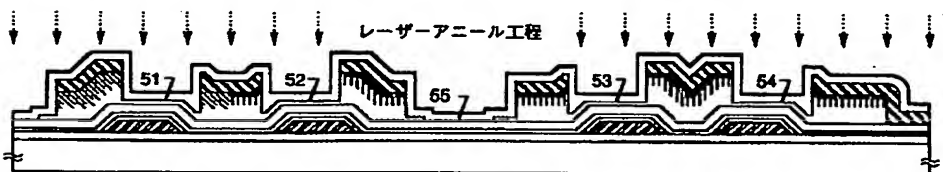
【図 1 3】



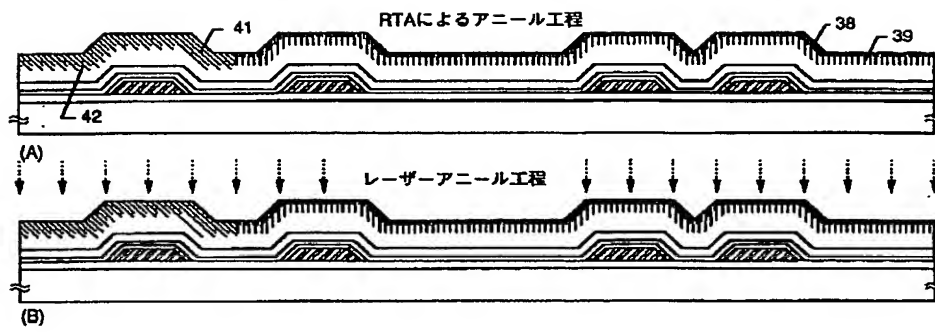
【図 1 5】



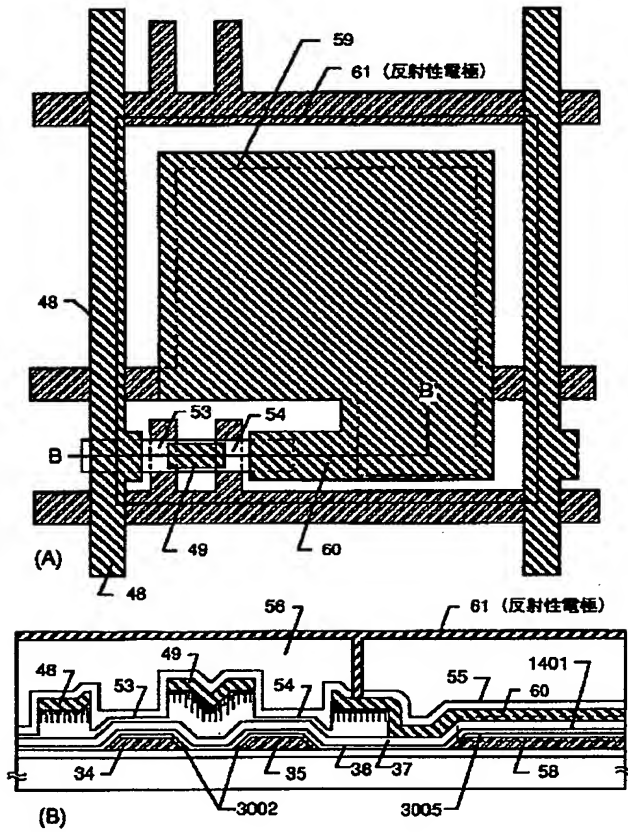
【図 1 6】



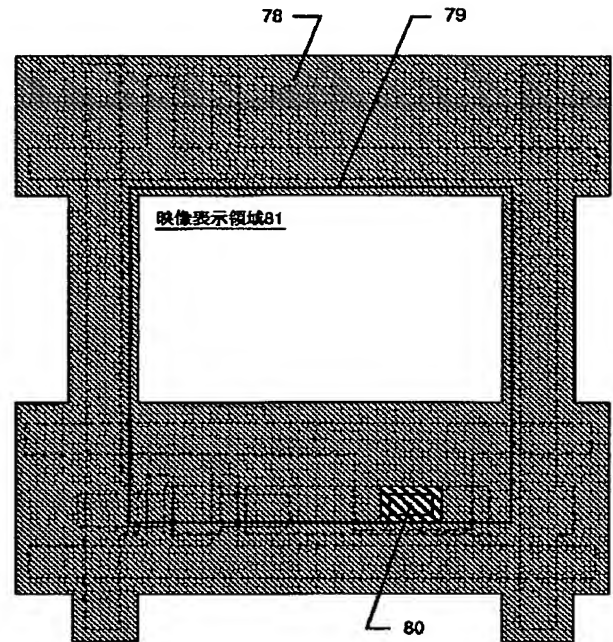
【図 1 7】



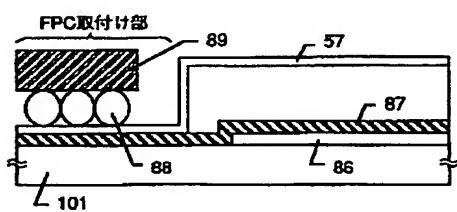
【図 1 8】



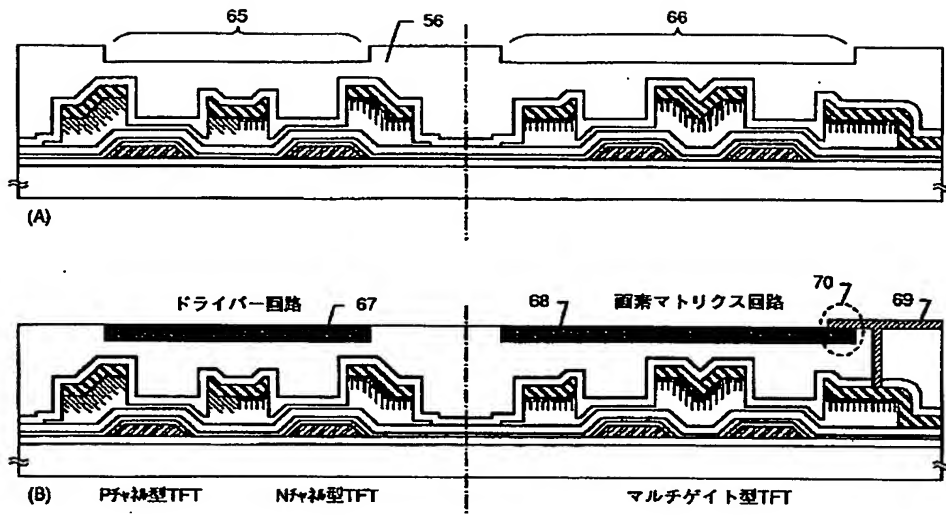
【図 2 1】



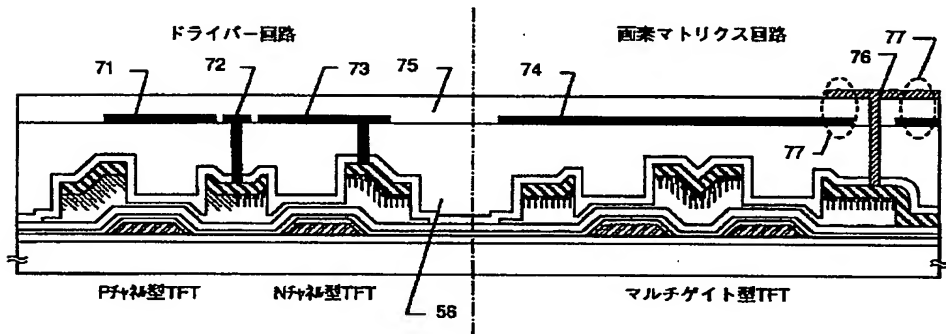
【図 2 3】



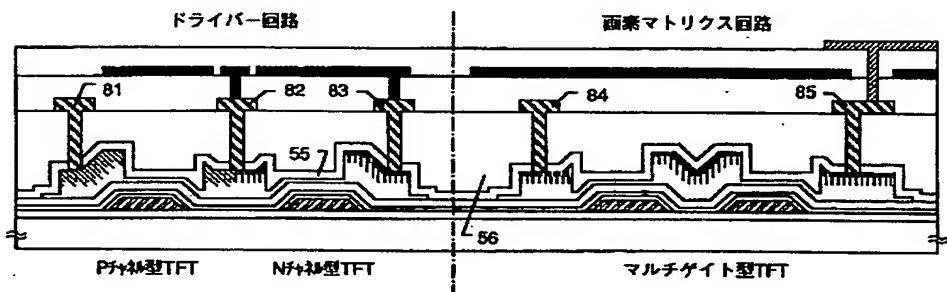
【図 19】



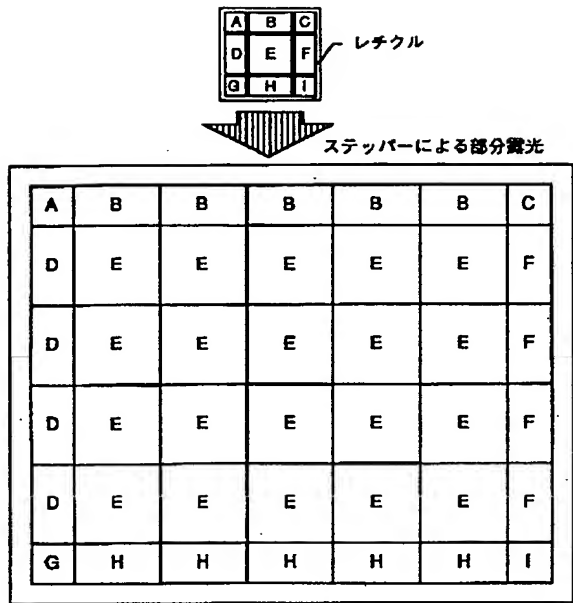
【図 20】



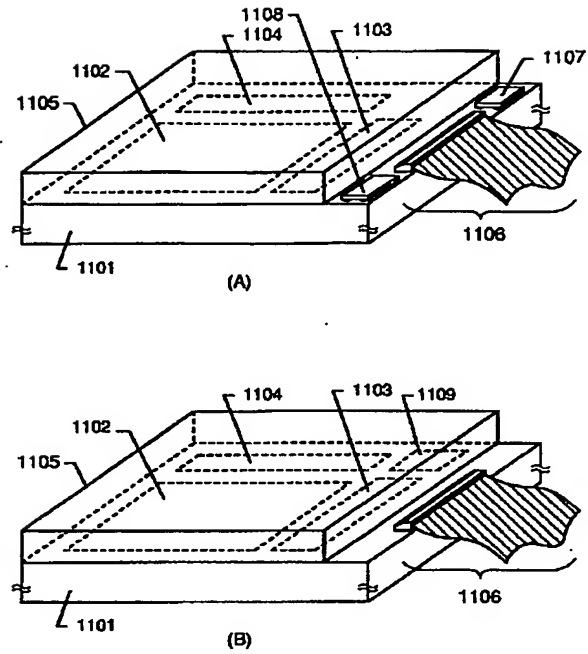
【図 22】



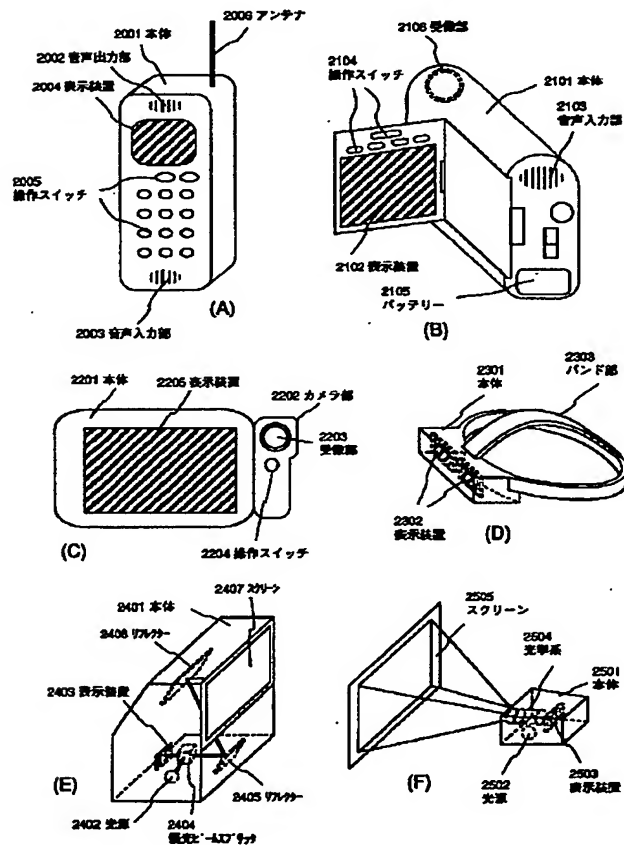
【図 24】



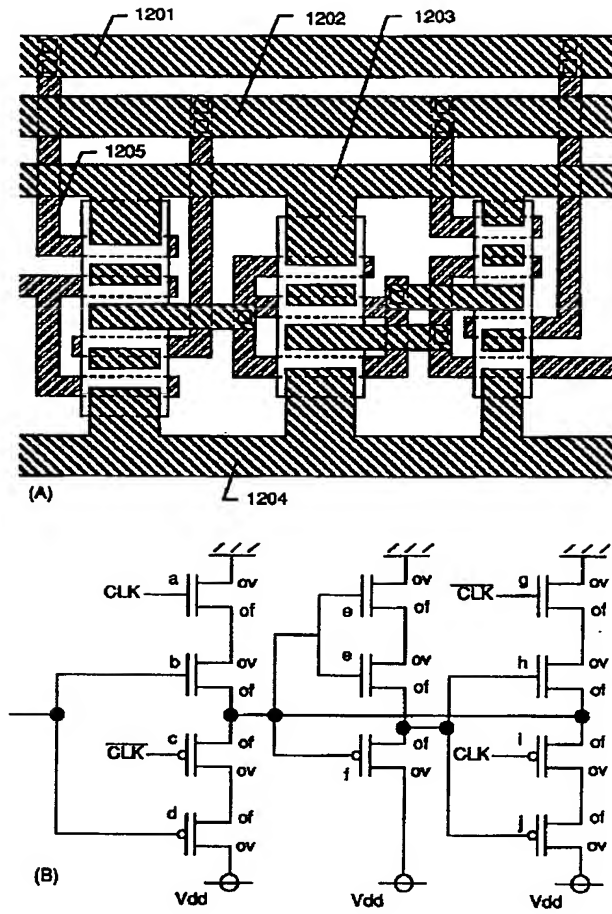
【図 25】



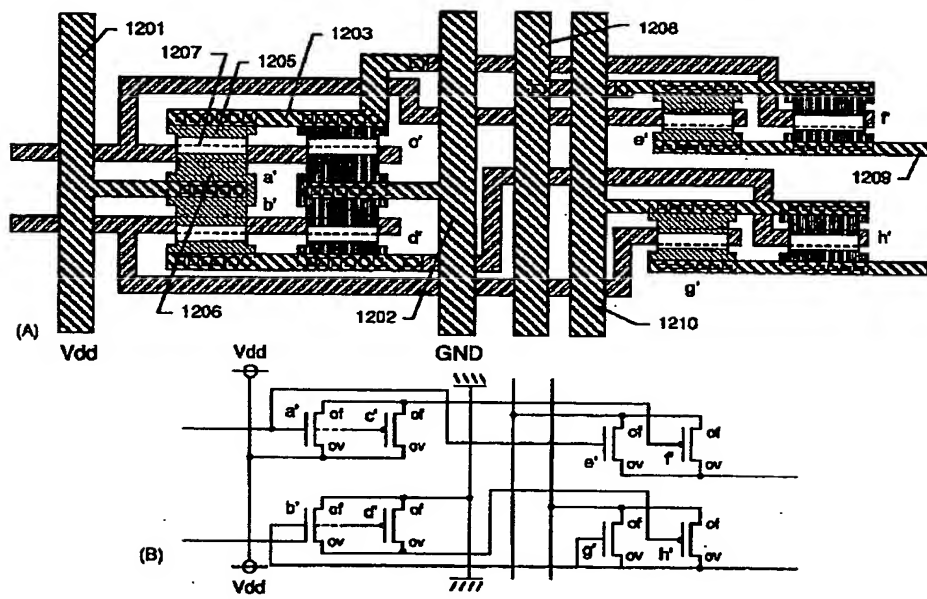
【図 26】



【図 27】



【図 28】



フロントページの続き

(51) Int. Cl.⁴

識別記号

F I

H 0 1 L 29/78

6 1 8 C

6 2 7 G